

특 허 법 원

제 5 부

판 결

사 건 2023허12633 등록무효(특)

원 고 A

미합중국

대표자 B(B)

소송대리인 법무법인 (유한)울촌(담당변호사 정상태, 윤초룡, 이형
욱, 추호준)

피 고 C

대표자 총장 D

소송대리인 법무법인 케이씨엘(담당변호사 김보성, 서우성)

소송복대리인 변리사 장세진

변 론 종 결 2024. 9. 24.

판 결 선 고 2024. 12. 12.

주 문

1. 특허심판원이 2023. 5. 15. 2021당2511호 사건에 관하여 한 심결 중 특허 제458288호의 청구범위 제1, 8항에 대한 부분을 취소한다.
2. 원고의 나머지 청구를 기각한다.
3. 소송비용 중 1/3은 원고가, 나머지는 피고가 각 부담한다.

청 구 취 지

특허심판원이 2023. 5. 15. 2021당2511호 사건에 관하여 한 심결을 취소한다.

이 유

1. 기초사실

가. 피고의 이 사건 특허발명(갑 제2호증)

- 1) 발명의 명칭: 이중-게이트 FinFET 소자 및 그 제조방법
- 2) 출원일/ 등록일/ 등록번호 : 2002. 1. 30./ 2004. 11. 12./ 특허 제458288호
- 3) 청구범위

이 사건 특허발명의 전체 청구범위는 [별지 1] 기재와 같고, 그 중에서 이 사건에서쟁점이 되는 청구범위인 청구항 1, 8, 14는 아래와 같다.

【청구항 1】 벌크 실리콘기판과(이하 '구성요소 1'이라 한다),

상기 벌크 실리콘기판에 연결되고 벌크 실리콘기판 상부 가운데에 단결정 실리콘으로 형성된 담장 모양의 Fin액티브 영역과(이하 '구성요소 2'라 한다),

상기 벌크 실리콘기판 표면에서 Fin액티브 영역의 일정 높이까지 형성된 제2산화막과(이하 '구성요소 3'이라 한다),

상기 제2산화막 위의 Fin엑티브 영역 양쪽 측벽에 형성된 게이트 산화막과(이하 '구성요소 4'라 한다),

상기 Fin엑티브 영역의 위쪽 표면에 게이트 산화막과 같거나 두껍게 형성된 제1산화막과(이하 '구성요소 5'라 한다),

상기 제1,2산화막 위에 형성된 게이트와(이하 '구성요소 6'이라 한다),

상기 게이트와 겹치는 Fin엑티브 영역을 제외한 Fin엑티브 영역 양쪽에 형성된 소스/드레인과(이하 '구성요소 7'이라 한다),

상기 소스, 드레인, 게이트의 콘택 부분에 형성된 콘택영역 및 금속층을(이하 '구성요소 8'이라 한다) 포함하는 이중-게이트 FinFET 소자(이하 '구성요소 9'라 한다)(이하 '이 사건 제1항 발명'이라 하고 나머지 청구항도 같은 방식으로 부른다).

【청구항 8】 청구항 1에 있어서, 상기 소스/드레인은 게이트와 겹치는 Fin엑티브 영역을 제외한 Fin엑티브 영역 양쪽에, 게이트와 자기정렬 형태로 기생저항을 줄이기 위해 형성된 선택적 에피층을 성장한 것(이하 '구성요소 10'이라 한다)임을 특징으로 하는 이중-게이트 FinFET 소자.

【청구항 14】 청구항 1에 있어서, 상기 Fin엑티브 영역의 폭이 벌크 실리콘기판에 가까워지면서 산화막 내에서 넓어져 상기 Fin엑티브 영역의 저항이 줄어듦(이하 '구성요소 11'이라 한다)을 특징으로 하는 이중-게이트 FinFET 소자.

4) 발명의 주요 내용 및 도면

이 사건 특허발명의 주요 내용 및 도면은 [별지 2] 기재와 같다.

나. 선행발명들¹⁾

1) 선행발명 1 내지 6은 이 사건 심판단계에서 제출되었던 선행발명이고, 선행발명 7 내지 10은 이 사건 소송단계에서 새롭게 제출된 선행발명이다.

1) 선행발명 1(갑 제4호증)

1997. 7. 23. 발행된 일본 등록특허공보 제2633001호에 게재된 '반도체 장치 및 그 제조방법'에 관한 것으로, 그 주요 내용 및 도면은 [별지 3] 기재와 같다.

2) 선행발명 2(갑 제5호증)

1999. 12. 1. 공고된 국내 등록특허공보 제10-0232691호에 게재된 '반도체 장치와 연산 장치, 신호 변환기 및 동일한 반도체 장치를 사용하는 신호 처리 시스템'에 관한 것으로, 그 주요 내용 및 도면은 [별지 4] 기재와 같다.

3) 선행발명 3(갑 제6호증)

1989. 1. 12. 공개된 일본 공개특허공보 소64-8670호에 게재된 'MOS 전계 효과 트랜지스터'에 관한 것으로, 그 주요 내용 및 도면은 [별지 5] 기재와 같다.

4) 선행발명 4(갑 제7호증)

2002. 1. 11. 공개된 일본 공개특허공보 특개2002-9289호에 게재된 '전계 효과형 트랜지스터 및 그 제조 방법'에 관한 것으로, 그 주요 내용 및 도면은 [별지 6] 기재와 같다.

5) 선행발명 5(갑 제8호증)

1999. 2. 1. 공고된 국내 등록특허공보 제170468호에 게재된 '반도체 장치'에 관한 것으로, 그 주요 내용 및 도면은 [별지 7] 기재와 같다.

6) 선행발명 6(갑 제9호증)

1998. 4. 10. 공개된 일본 공개특허공보 특개평10-93093호에 게재된 '반도체 장치 및 그 제조 방법'에 관한 것으로, 그 주요 내용 및 도면은 [별지 8] 기재와 같다.

7) 선행발명 7(갑 제17호증)

1998. 12. 1. 공고된 국내 등록특허공보 제0163759호에 게재된 '반도체 장치 및 반도체 기억장치'에 관한 것으로, 그 주요 내용 및 도면은 [별지 9] 기재와 같다.

8) 선행발명 8(갑 제15호증)

1995. 2. 21. 공고된 미국 특허공보 제5,391,506호에 게재된 '기관 돌출부에 소스/드레인을 형성하는 반도체 장치 제조방법'에 관한 것으로, 그 주요 내용 및 도면은 [별지 10] 기재와 같다.

9) 선행발명 9(갑 제18호증)

1994. 1. 28. 공개된 일본 공개특허공보 특개평6-21452호에 게재된 '전계 효과 트랜지스터 및 그 제조 방법'에 관한 것으로, 그 주요 내용 및 도면은 [별지 11] 기재와 같다.

10) 선행발명 10(갑 제16호증)

1987년에 공개된 'NEW EFFECTS OF TRENCH ISOLATED TRANSISTOR USING SIDE-WALL GATES' 논문(K. 히에다 등)에 관한 것으로, 그 주요 내용 및 도면은 [별지 12] 기재와 같다.

다. 이 사건 심결의 경위

1) 원고는 2021. 8. 23. 피고를 상대로 특허심판원에 "이 사건 제1항 발명은 선행발명 1에 의해 신규성 또는 진보성이 부정되거나, 선행발명 2에 의해 진보성이 부정되거나, 선행발명 3에 의해 신규성 또는 진보성이 부정되고, 이 사건 제8항 발명은 선행발명 1, 2, 3 중 어느 하나와 선행발명 4를 결합하거나, 선행발명 1, 2, 3 중 어느 하나에 주지관용기술을 결합하는 것에 의해 진보성이 부정되며, 이 사건 제14항 발명은 선행발명 1, 2, 3 중 어느 하나에 선행발명 5 또는 6을 결합하거나, 선행발명 1 또는 3에

선행발명 2를 결합하거나, 선행발명 2에 의해 진보성이 부정되므로 이 사건 제1, 8, 14항 발명은 무효로 되어야 한다."라고 주장하며 이 사건 특허발명에 대한 등록무효심판을 청구하였다(이하 '이 사건 심판 청구'라고 한다).

2) 특허심판원은 이를 2021당2511호 사건으로 심리한 다음 2023. 5. 15. 이 사건 제1항 발명의 구성요소 2의 '담장 모양의 Fin액티브 영역'을 '100nm 이하의 얇은 폭을 갖고, 높이가 폭보다 큰 종횡비를 가지며, 폭이 일정하거나 하부로 갈수록 넓어지고, 전류가 흐르는 길이 방향으로 길게 늘어선 형태의 기술적 구성을 가지는 것'으로 해석하는 전제에서, 이 사건 제1, 8, 14항 발명이 원고가 주장하는 선행발명들에 의해 신규성 또는 진보성이 부정되지 않는다고 보아, 원고의 이 사건 심판 청구를 기각하는 심결(갑 제3호증, 이하 '이 사건 심결'이라 한다)을 하였다.

라. 관련 사건의 경과

1) 선행 등록무효 심판의 기각심결 확정(을 제12, 13호증)

가) E 주식회사는 2018. 7. 16. 피고를 상대로 특허심판원에 "이 사건 특허발명은 신규성 또는 진보성이 부정되거나, 기재불비, 공동출원 규정의 위반, 무권리자 출원 등의 무효사유가 있다."라고 주장하며 이 사건 특허발명에 대한 등록무효심판(이하 '선행 등록무효 심판'이라고 한다)을 청구하였다.

나) E 주식회사는 위 심판절차에서 신규성 또는 진보성 부정의 증거로 비교대상발명 1 내지 10을 제출하였다. 위 비교대상발명들 중 일부는 아래 표 기재와 같이 이 사건에서 제출된 선행발명들 중 일부와 동일하다.

선행 등록무효 심판의 비교대상발명들	이 사건의 선행발명들	비고
비교대상발명 1	선행발명 5	국내 등록특허공보 제170468호
비교대상발명 2	선행발명 6	일본 공개특허공보 특개평10-93093호
비교대상발명 3	선행발명 4	일본 공개특허공보 특개2002-9289호
비교대상발명 4	선행발명 7	국내 등록특허공보 제0163759호
비교대상발명 7	선행발명 1	일본 등록특허공보 제2633001호
비교대상발명 8	선행발명 9	일본 공개특허공보 특개평6-21452호

다) 특허심판원은 위 심판청구를 2018당2210호 사건으로 심리한 다음 2019. 8. 12. 이 사건 특허발명에는 심판청구인이 주장하는 무효사유가 없다고 보아 위 심판청구를 기각하는 심결을 하였고, 2019. 9. 17. 위 심결이 확정되었다(이하 '선행 확정심결'이라고 한다). 선행 확정심결의 판단 이유 중 이 사건에서 쟁점이 된 이 사건 제1, 8, 14항 발명 등과 관련된 부분의 요지는 아래와 같다.²⁾

(1) 이 사건 제1항 발명의 신규성 또는 진보성 부정 여부

이 사건 제1항 발명은 비교대상발명 1, 2, 4 중 어느 하나에 의해 신규성 또는 진보성이 부정되지 않는다.

(2) 이 사건 제8항 발명의 진보성 부정 여부 또는 기재불비 해당 여부

이 사건 제8항 발명은 비교대상발명 1, 2, 4 중 어느 하나와 비교대상발명 3 또는/및 주지관용기술의 결합에 의해 진보성이 부정되지 않는다.

이 사건 제8항 발명의 '게이트와 자기정렬 형태로 형성된 선택적 에피층'이라는 기재 부분은, 구 특허법(2001. 12. 31. 법률 제6582호로 개정되기 전의 것, 이하 '구 특허법'이

2) 선행 확정심결에서의 신규성 또는 진보성 부정의 근거로 주장된 비교대상발명들의 조합은 다양하고 복잡하지만, 선행 확정심결에서 명시적으로 판단된 부분 중 이 사건과 관련된 부분만을 정리하였다.

라고 한다) 제42조 제3항 및 같은 법 제42조 제4항 제1호 및 제2호 위반의 기재불비의 무효 사유가 인정되지 않는다.

(3) 이 사건 제14항 발명의 신규성 또는 진보성 부정 여부

이 사건 제14항 발명은 비교대상발명 1, 2, 4 중 어느 하나에 의해 신규성 또는 진보성이 부정되지 않고, 비교대상발명 1, 2, 4 중 어느 하나와 비교대상발명 3 또는/및 8의 결합에 의해서도 진보성이 부정되지 않는다.

(4) 공동출원 규정 위반 여부

심판청구인은, 이 사건 특허발명이 공동발명임에도 불구하고 발명에 참여한 연구원 전원이 특허출원을 하지 않았으므로 구 특허법 제44조 위반의 무효 사유가 있다고 주장하나, 이 사건 특허발명은 F의 단독 발명인 사실이 인정되므로, 위 주장은 받아들일 수 없다.

(5) 무권리자 출원 해당 여부

심판청구인은, 이 사건 특허발명은 발명의 완성 당시 주관연구기관인 원광대학교가 특허를 받을 권리가 자동으로 귀속되는 것이므로 피고는 특허를 받을 권리를 보유할 수 없고, 피고가 F로부터 이 사건 특허발명에 관한 특허를 받을 권리를 양도받은 것은 반사회적 법률행위에 해당하여 무효에 해당하는바, 피고의 이 사건 특허발명의 출원은 무권리자의 출원에 해당하여 무효라고 주장한다. 그러나 이 사건 특허발명의 특허를 받을 권리가 원광대학교에 있다고 보기 어렵고, 피고와 F 사이의 특허를 받을 권리에 관한 양도계약이 반사회적 법률행위에 해당한다고 보기 어려우므로, 위 주장은 받아들일 수 없다.

2) 무역위원회의 과징금 부과처분 및 특허침해사건의 경과(갑 제80, 86호증)

가) 이 사건 특허발명의 전용실시권자인 주식회사 케이아이피는 2021. 6. 2. 무역위

원회에 원고 등을 상대로 이 사건 제8항 발명 및 제14항 발명의 침해를 주장하며 불공정 무역행위 조사를 신청하였다(구제 4-1-2021-2). 무역위원회는 2022. 4. 14. 원고 등의 불공정무역행위(특허침해)를 인정하면서 과징금을 부과하였고, 원고 등은 2022. 7. 27. 위 과징금부과처분의 취소를 구하는 소를 서울행정법원에 제기하여 현재 소송 계속 중에 있다(서울행정법원 2022구합74614호 사건).

나) 또한 주식회사 케이아이피는 2023. 7. 1. 원고 등을 상대로 이 사건 제8항 발명 및 제14항 발명의 침해를 주장하며, 서울중앙지방법원에 손해배상청구의 소를 제기하여 현재 소송 계속 중에 있다(서울중앙지방법원 2023가합78031호 사건).

【인정 근거】 다툼 없는 사실, 갑 제1 내지 9, 15 내지 18, 80, 86호증, 을 제12, 13호 증의 각 기재, 변론 전체의 취지

2. 당사자 주장의 요지

가. 원고

이 사건 제1, 8, 14항 발명은 아래와 같은 무효 사유가 있다. 그럼에도 이 사건 심결은 '담장 모양의 Fin액티브 영역'에 대한 잘못된 청구범위 해석을 기초로 이와 달리 판단하였으니 위법하다.

1) 이 사건 제1항 발명의 무효 사유

이 사건 제1항 발명은 선행발명 1, 2, 3, 5 및 8 각각에 의해 신규성 또는 진보성이 부정된다.

2) 이 사건 제8항 발명의 무효 사유

가) 이 사건 제8항 발명은 ① 선행발명 1, 2, 3, 5 및 8 중 어느 하나와 선행발명 4와의 결합, 또는 ② 선행발명 1, 2, 3, 5 및 8 중 어느 하나와 주지관용기술(갑 제10

내지 12호증)의 결합에 의하여 진보성이 부정된다.

나) 이 사건 제8항 발명의 '게이트와 자기정렬 형태로 성장하는 선택적 에피층'은 통상의 기술자가 구체적 구성을 명확하게 파악할 수 없고, 용이하게 실시할 수 없으며, 발명의 설명에 의해 뒷받침되지 않으므로, 구 특허법 제42조 제3항, 제42조 제4항 제1호 및 제2호 위반의 기재불비의 무효사유가 있다.

3) 이 사건 제14항 발명의 무효 사유

이 사건 제14항 발명은 선행발명 2, 5 각각에 의하여 신규성 또는 진보성이 부정되거나, 선행발명 1, 3 및 8 중 어느 하나와 선행발명 2, 5, 6, 7, 9, 10 중 어느 하나와의 결합에 의하여 진보성이 부정된다.

4) 공동출원 규정 위반의 무효 사유

이 사건 특허발명은 F의 단독 발명이 아니라 다수의 연구원들이 공동으로 발명한 것임에도 공동으로 출원하지 아니하였는바, 공동출원에 관한 구 특허법 제44조를 위반한 무효 사유가 있다.

5) 무권리자 출원의 무효 사유

이 사건 특허발명에 관한 특허를 받을 권리는 발명의 완성과 동시에 원광대학교에 자동승계 되었는데, 피고는 이 사실을 잘 알면서도 F의 배임 행위에 적극 가담하여 특허를 받을 권리를 양도받았는데, 이러한 양도행위는 반사회적 법률행위에 해당하여 무효이다. 따라서 피고가 이 사건 특허를 출원한 것은 정당한 권리자에 의한 출원이 아니므로 특허법 제33조 제1항 위반의 무효 사유가 있다.

나. 피고

1) 원고가 이 사건에서 제시하는 선행발명들은 대부분 선행 등록무효 심판에서 제출

되어 심리·판단되었던 것이므로 이를 근거로 재차 이 사건 특허발명의 무효를 주장하는 것은 선행 확정심결과의 관계에서 일사부재리 원칙에 위반된다.

2) 원고는 이 사건 심판 단계에서 심리·판단된 바 없는 새로운 무효 사유 및 선행발명들을 이 사건 소송 단계에서 주장하고 있는데, 이와 같이 새로운 무효 사유를 주장하는 것은 피고의 특허심판원에서 심결을 받을 이익을 침탈하는 것으로 허용될 수 없다.

3) 이 사건 제1항 발명의 구성요소 2의 '담장 모양의 Fin액티브 영역'을 '100nm 이하의 얇은 폭을 갖고, 높이가 폭보다 큰 종횡비를 가지며, 폭이 일정하거나 하부로 갈수록 넓어지고, 전류가 흐르는 길이 방향으로 길게 늘어선 형태의 기술적 구성을 가지는 것'으로 해석한 이 사건 심결의 청구범위 해석은 명세서의 상세한 설명이나 도면을 참작한 객관적·합리적인 해석이므로 타당하다. 그리고 이와 같은 청구범위 해석을 전제로 할 때, 이 사건 제1, 8, 14항 발명에 관하여 원고가 주장하는 신규성 또는 진보성 부정 주장은 모두 이유 없다.

4) 이 사건 제8항 발명의 '게이트와 자기정렬 형태로 성장하는 선택적 에피층'은 일반적이고 통상적인 의미, 즉 '게이트의 위치에 대하여 정렬된 선택적 에피층'을 구성하는 것으로 그 의미가 명확하게 이해되고, 통상의 기술자가 이를 용이하게 실시 가능하며, 이에 대응되는 설명이 명세서에 기재되어 있어 발명의 설명에 의해 뒷받침되므로, 원고 주장의 기재불비 사유가 없다.

5) 원고는 공동출원 규정 위반 및 무권리자 출원과 관련된 무효사유를 주장할 수 있는 이해관계인에 해당하지도 않고, 이 사건 특허발명의 출원이 공동출원 규정 위반 또는 무권리자 출원에 해당한다는 점을 증명하지도 못하였으므로, 이 부분 원고의 주장

도 이유 없다.

3. 일사부재리 원칙 위반 여부에 관한 판단

가. 관련법리

1) 구 특허법 제163조는 "이 법에 따른 심판의 심결이 확정되었을 때에는 그 사건에 대해서는 누구든지 동일 사실 및 동일 증거에 의하여 다시 심판을 청구할 수 없다. 다만 확정된 심결이 각하 심결인 경우에는 그러하지 아니하다."고 규정하여 확정된 심결에 대하여 일사부재리의 원칙을 채택하고 있다. 따라서 위 규정을 위반한 심판청구는 누가 청구한 것이든 부적법하여 각하하여야 한다. 심판청구인은 심판청구서를 제출한 후 그 요지를 변경할 수 없으나 청구의 이유를 보정하는 것은 허용되므로(구 특허법 제140조 제2항 참조), 특허심판원은 심판청구 후 심결 시까지 보정된 사실과 이에 대한 증거를 모두 고려하여 심결 시를 기준으로 심판청구가 선행 확정 심결과 동일한 사실·증거에 기초한 것이어서 일사부재리 원칙에 위반되는지 여부를 판단하여야 한다(대법원 2020. 4. 9. 선고 2018후11360 판결 참조).

2) 여기서 '동일 사실'이라 함은 당해 특허권과의 관계에서 확정이 요구되는 구체적 사실이 동일함을 말하고, '동일 증거'라 함은 그 사실과 관련성을 가진 증거로서 전에 확정된 심결의 증거와 동일한 증거뿐만 아니라 그 확정된 심결을 번복할 수 있을 정도로 유력하지 아니한 증거가 부가되는 것도 포함한다(대법원 2005. 3. 11. 선고 2004후 42 판결 등 참조).

3) 특허의 등록무효심판청구에 관하여 종전에 확정된 심결이 있더라도 종전 심판에서 청구원인이 된 무효사유 외에 다른 무효사유가 추가된 경우에는 새로운 심판청구는 그 자체로 동일사실에 의한 것이 아니어서 일사부재리의 원칙에 위배되지는 아니한다.

그러나 모순·저촉되는 복수의 심결이 발생하는 것을 방지하고자 하는 일사부재리 제도의 취지를 고려하면, 위와 같은 경우에도 종전에 확정된 심결에서 판단이 이루어진 청구원인과 공통되는 부분에 대해서는 일사부재리의 원칙 위배 여부의 관점에서 그 확정된 심결을 번복할 수 있을 정도로 유력한 증거가 새로이 제출되었는지를 따져 종전 심결에서와 다른 결론을 내릴 것인지를 판단하여야 한다(대법원 2017. 1. 19. 선고 2013후37 전원합의체 판결 참조). 동일사실에 의한 동일한 심판청구에 대하여 전에 확정된 심결의 증거에 대한 해석을 다르게 하는 등으로 그 심결의 기본이 된 이유와 실질적으로 저촉되는 판단을 하는 것은 구 특허법 제163조가 정한 일사부재리 원칙의 취지에 비추어 허용되지 않는다(대법원 1990. 7. 10. 선고 89후1509 판결 등 참조). 다만, 전에 확정된 심결의 증거를 그 심결에서 판단하지 아니하였던 사항에 관한 증거로 들어 판단하거나 그 증거의 선행기술을 확정된 심결의 결론을 번복할 만한 유력한 증거의 선행기술에 추가적, 보충적으로 결합하여 판단하는 경우 등과 같이 후행 심판청구에 대한 판단 내용이 확정된 심결의 기본이 된 이유와 실질적으로 저촉된다고 할 수 없는 경우에는, 확정된 심결과 그 결론이 결과적으로 달라졌다고 하더라도 일사부재리 원칙에 반한다고 할 수 없다(대법원 2013. 9. 13. 선고 2012후1057 판결 참조).

나. 이 사건 심판 청구의 일사부재리 원칙 위반 여부에 대한 검토

이 사건 심판 청구는 선행 확정심결과의 관계에서 일사부재리 원칙에 위반되지 않는다. 그 구체적인 이유는 아래와 같다.

1) 이 사건 심결 시를 기준으로, 이 사건 심판 청구는 아래와 같은 무효 사유 및 증거에 기초하고 있다.

가) 이 사건 제1항 발명은 선행발명 1에 의해 신규성 또는 진보성이 부정되거나, 선

행발명 2에 의해 진보성이 부정되거나, 선행발명 3에 의해 신규성 또는 진보성이 부정된다.

나) 이 사건 제8항 발명은 선행발명 1, 2, 3 중 어느 하나와 선행발명 4를 결합하거나, 선행발명 1, 2, 3 중 어느 하나에 주지관용기술을 결합하는 것에 의해 진보성이 부정된다.

다) 이 사건 제14항 발명은 선행발명 1, 2, 3 중 어느 하나에 선행발명 5 또는 6을 결합하거나, 선행발명 1 또는 3에 선행발명 2를 결합하거나, 선행발명 2에 의해 진보성이 부정된다.

2) 선행 확정심결은 이 사건 제1, 8, 14항 발명의 신규성이 부정되지 않고, 진보성도 부정되지 않는다고 판단하였는바, 이 사건 심판 청구는 이 사건 제1, 8, 14항 발명의 신규성 또는 진보성 부정이라는 동일한 사실(무효 사유)에 기초하고 있다.

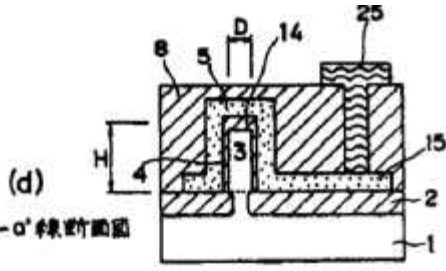
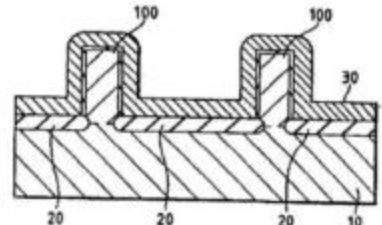
3) 그러나 이 사건 심판 청구에서 이 사건 제1, 8, 14항 발명의 신규성 또는 진보성 부정의 근거로 제출된 주된 선행발명인 선행발명 1, 2, 3은 선행 확정심결에서 신규성 또는 진보성 부정의 근거로 제출되지 아니하였던 새로운 증거에 해당한다.³⁾ 선행 확정심결에서 이미 제출된 증거에 부수적인 증거가 부가되는 경우와는 달리⁴⁾ 선행 확정심결에서 제출되지 아니하였던 새로운 증거가 신규성 또는 진보성 부정과 관련한 독립적인 선행발명으로 제출된 경우에는, 새로 제출된 증거가 선행 확정심결에서 제출된 증거와 그 내용에 있어 실질적으로 동일하지 않는 이상 새로 제출된 증거가 확정심결을 번복할 수 있는지와 무관하게 새로운 증거가 제출된 것으로 보아야 하므로, 이 경우

3) 선행발명 1은 선행 확정심결에서 비교대상발명 7로 소개되고 있기는 하지만, 이 사건 제1, 8, 14항 발명의 신규성 또는 진보성 부정 여부와 관련하여 구체적인 대비의 대상이 되지는 아니하였다.

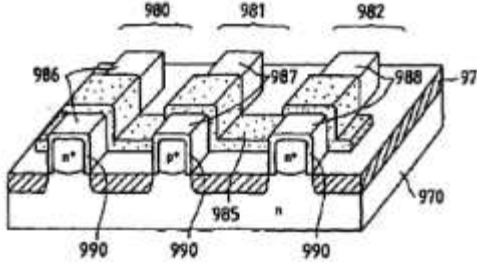
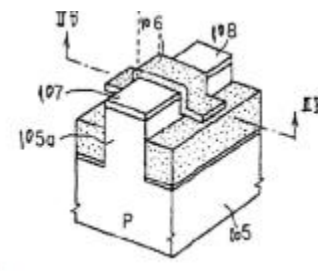
4) 선행 확정심결에서 이미 제출된 증거에 부수적인 증거가 부가되는 경우에는, 해당 부가 증거가 확정심결의 결론을 번복할 수 있는 유력한 증거인지 여부에 따라 일사부재리 해당 여부를 판단하게 된다(대법원 2005. 3. 11. 선고 2004후42 판결 등 참조).

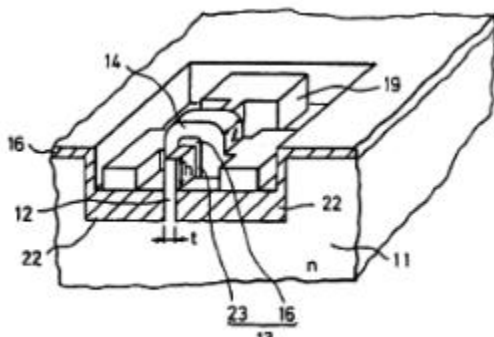
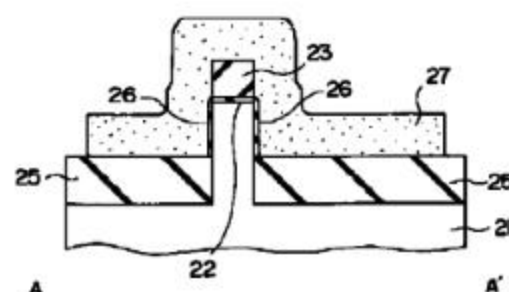
구 특허법 제163조의 일사부재리 원칙이 적용되지 않는다(대법원 2021. 6. 3. 선고 2021후10077 판결 및 특허법원 2021. 11. 25. 선고 2021허3680 판결의 취지 참조5)).

4) 이에 대하여 피고는, 선행발명 1은 선행 확정심결의 비교대상발명 4와 특징적 구성이 동일하고, 선행발명 2는 선행 확정심결의 비교대상발명 1과 특징적 구성이 동일하며, 선행발명 3은 선행 확정심결의 비교대상발명 2와 특징적 구성이 동일하므로, 실질적으로 동일한 증거에 해당한다고 주장한다. 그러나 선행발명 1과 비교대상발명 4, 선행발명 2와 비교대상발명 1, 선행발명 3과 비교대상발명 2는 아래 도면 대비표에서 보는 바와 같이 그 개시된 도면에서 일부 공통점을 찾아볼 수 있기는 하나, 구체적인 발명의 내용을 보면 모두 별개의 다른 발명에 해당하므로 실질적으로 동일한 증거라고 볼 수 없다. 따라서 피고의 위 주장은 이유 없다.

선행발명 1	비교대상발명 4(= 선행발명 7)
	

5) 일사부재리의 '새로운 증거'의 의미를 '종전 확정심결을 번복할 수 있을 정도의 유력한 증거'로 파악하는 이른바 '중요증거설'을 일관되게 적용하여 종전 확정심결에서 거론되지 않았던 새로운 증거만으로 심판청구를 한 경우에도, 종전 확정심결을 번복할 수 없는 경우에는 일사부재리에 위반된다는 견해도 상정할 수 있기는 하다. 그러나 새로운 증거만 제출된 경우에도 선행 확정 심결을 번복할 수 없으면 동일증거라고 판단하는 것은 특허법 제163조 법문의 가능한 해석 범위를 넘어서는 것이고, 이 경우 중요증거설을 관철하여 선행 확정 심결을 번복할 수 있는지를 판단하도록 하는 것은 적법요건 단계에서 항상 본안 판단을 선행하도록 하여 심리 부담을 가중시키는 결과가 되므로 바람직하지 않다. 또한 위와 같은 견해에 의하면, 선행 확정 심결이 있는 사안에서는 어떤 경우라도 일사부재리 위반을 극복하면 무조건 인용, 극복하지 못하면 각하심결이 내려지게 되고, 일사부재리 위반을 극복하면서 본안에서 청구기각 되는 사례가 아예 없어지게 되는데, 중요증거설이 이러한 결론을 상정한 것이라고 보기 어렵다. 대법원 2021. 6. 3. 선고 2021후10077 판결에 따른 파기환송심인 특허법원 2021. 11. 25. 선고 2021허3680 판결은 "특허법 제163조는 심결이 확정된 사건의 증거와 '동일 증거'에 의하여 다시 심판을 청구할 수 없다고 명시하고 있는바, 선행의 확정된 심결의 증거와는 전혀 중복됨이 없이 새로운 증거만이 제출된 경우에도 그 증거만으로 선행의 확정 심결을 번복할 수 없는 경우에는 '동일 증거'에 해당한다고 해석하는 것은 '동일 증거'의 범위를 지나치게 확장해석한 것으로서 문언의 가능한 해석 범위를 넘어선다."고 판단한 바 있다.

선행발명 2	비교대상발명 1(= 선행발명 5)
	

선행발명 3	비교대상발명 2(= 선행발명 6)
	

다. 일사부재리 원칙의 관점에서 이 사건 소송에서 추가된 일부 주장에 대한 판단

이 사건 심판 청구가 이 사건 심결 시를 기준으로 일사부재리 원칙에 위반되지 않은 앞서 본 바와 같으나, 이 사건 소송 단계에서 새롭게 추가된 원고의 주장 중 일부는 아래에서 살펴보는 바와 같이 선행 확정심결에서 판단이 이루어진 청구원인과 공통된다. 이 경우에는 일사부재리의 원칙 위배 여부의 관점에서 그 확정된 심결을 반복할 수 있을 정도로 유력한 증거가 새로이 제출되었는지를 따져 종전 심결에서와 다른 결론을 내릴 것인지를 판단하여야 하는바, 선행 확정심결에서 판단이 이루어진 청구원인과 공통되는 주장에 관하여 선행 확정심결의 기본이 된 이유와 실질적으로 저촉되는

판단을 하는 것은 구 특허법 제163조가 정한 일사부재리 원칙의 취지에 비추어 허용되지 않는다(대법원 1990. 7. 10. 선고 89후1509 판결, 대법원 2013. 9. 13. 선고 2012후 1057 판결 등 참조).

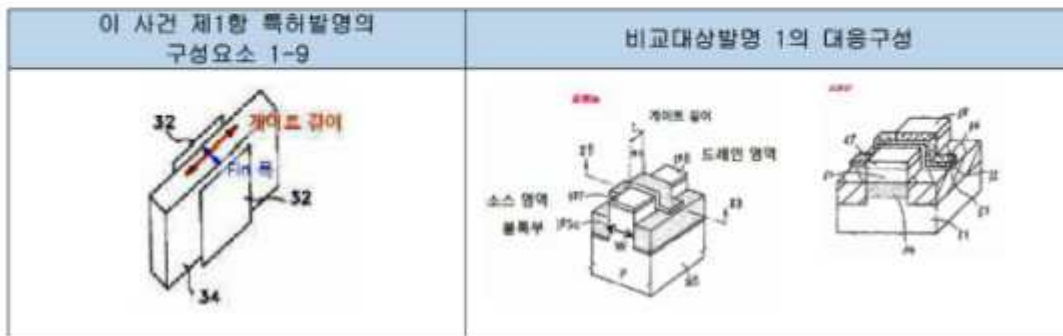
1) 이 사건 제1항 발명에 대한 선행발명 5에 기초한 신규성 또는 진보성 부정 주장은, 선행 확정심결의 이 사건 제1항 발명이 비교대상발명 1(= 선행발명 5)에 의해 신규성 또는 진보성이 부정되지 않는다는 판단과 동일 사실 및 동일 증거에 기초한 주장이므로 일사부재리 원칙의 취지에 비추어 선행 확정심결과 다른 판단을 할 수 없어 받아들여지지 않는다.

이에 대하여 원고는, 이 사건에서 원고의 주장은 선행발명 5의 제2 실시예와 제4 실시예의 결합에 의한 진보성 부정인데 선행 확정심결에서는 선행발명 5의 제2 실시예만 다루어졌을 뿐 제4 실시예는 다루어지지 아니하였으므로 원고의 이 부분 주장이 일사부재리 원칙에 위배되지 않는다고 주장한다. 그러나 을 제12호증의 기재에 의하면, 선행 확정심결에서 비교대상발명 1(= 선행발명 5)에 의한 신규성 또는 진보성 부정 여부의 판단을 할 당시 비교대상발명 1(= 선행발명 5)의 제2 실시예뿐만 아니라 제4 실시예(도 17)까지 모두 고려하였음을 알 수 있다. 그렇다면 원고의 이 부분 주장은 동일사실에 의한 동일한 심판청구에 대하여 전에 확정된 심결의 증거에 대한 해석을 다르게 하는 등으로 그 심결의 기본이 된 이유와 실질적으로 저촉되는 판단을 받고자 하는 시도에 불과하므로 이유 없다.⁶⁾

6) 나아가 원고의 주장과 같이 제2 실시예에 제4 실시예의 결합으로 이 사건 제1항 발명의 진보성을 부정할 수 있는지 여부를 살펴보다도, 제4 실시예가 이 사건 제1항 발명의 구성요소 2, 9를 개시하고 있다고 보기 어려우므로, 제2 실시예에 제4 실시예를 결합하더라도 이 사건 제1항 발명을 쉽게 도출할 수 없다고 봄이 타당하다.

선행 확정심결의 25면

비교대상발명 1이 블록부의 폭이 넓은(0.3 μ m) 블록형 FET를 전제로 한다는 것은 위에서 살핀 바와 같고, 또한 비교대상발명 1은 평면형 MOSFET을 위로 들어 올린 평평하고 넓적한 구조로써 채널의 폭(W)이 게이트 길이(L)보다 큼을 알 수 있다(갑 제4호증, 종래기술인 도 2a 및 도 17 등 참조).



2) 이 사건 제8항 발명에 대한 선행발명 5에 선행발명 4(= 비교대상발명 3) 또는 주지관용기술의 결합에 기초한 진보성 부정 주장은, 선행 확정심결의 이 사건 제8항 발명이 비교대상발명 1(= 선행발명 5)에 비교대상발명 3(= 선행발명 4) 또는 주지관용기술의 결합에 의해 진보성이 부정되지 않는다는 판단과 동일 사실 및 동일 증거에 기초한 주장이므로 일사부재리 원칙의 취지에 비추어 선행 확정심결과 다른 판단을 할 수 없어 받아들이지 않는다.

3) 이 사건 제8항 발명의 '게이트와 자기정렬 형태로 성장하는 선택적 에피층'에 대한 구 특허법 제42조 제3항, 제42조 제4항 제1호 및 제2호 위반의 기재불비 무효사유 주장은, 선행 확정심결의 이 사건 제8항 발명의 '게이트와 자기정렬 형태로 성장하는 선택적 에피층'이 구 특허법 제42조 제3항, 제42조 제4항 제1호 및 제2호 위반의 기재 불비 사유가 없다는 판단과 동일 사실 및 동일 증거에 기초한 주장이므로 일사부재리 원칙의 취지에 비추어 선행 확정심결과 다른 판단을 할 수 없어 받아들이지 않는다.

4) 이 사건 제14항 발명에 대한 선행발명 5에 기초한 신규성 또는 진보성 부정 주장은, 선행 확정심결의 이 사건 제14항 발명이 비교대상발명 1(= 선행발명 5)에 의해 신규성 또는 진보성이 부정되지 않는다는 판단과 동일 사실 및 동일 증거에 기초한 주장이므로 일사부재리 원칙의 취지에 비추어 선행 확정심결과 다른 판단을 할 수 없어 받아들이지 않는다.

5) 이 사건 특허발명이 공동출원 규정에 위반되거나 무권리자의 출원에 해당하여 무효라는 주장은, 선행 확정심결의 이 사건 특허발명이 공동출원 규정에 위반되지 않고 무권리자의 출원에 해당하지 않는다는 판단과 동일 사실 및 동일 증거⁷⁾에 기초한 주장이므로 일사부재리 원칙의 취지에 비추어 선행 확정심결과 다른 판단을 할 수 없어 받아들이지 않는다.

라. 검토결과의 정리

이 사건 심판 청구는 일사부재리 원칙에 위배되지 않는다. 다만, 이 사건 원고 주장 중 위에서 검토한 부분(선행발명 5를 주 선행발명으로 하는 신규성 또는 진보성 부정 주장, 기재불비 주장, 공동출원 규정 위반 주장, 무권리자 출원 주장)은 일사부재리 원칙의 취지에 따라 받아들이지 아니한다.

이하 원고의 나머지 주장(주 선행발명으로 선행발명 5를 제외한 나머지 선행발명들을 근거로 하는 신규성 또는 진보성 부정 주장⁸⁾)에 대하여만 검토하되, 신규성 및 진보성 판단의 전제가 되는쟁점 구성요소인 '담장 모양의 Fin액티브 영역'(구성요소 2)

7) 원고가 이 사건에서 제출한 갑 제63 내지 79호증은 공동출원 규정 위반 또는 무권리자의 출원 여부와 관련하여, 선행 확정판결의 결론을 번복할 수 있을 정도로 유력한 증거라고 보기 어렵다.

8) (1) 이 사건 1항 발명의 선행발명 1, 2, 3 및 8 각각에 의한 신규성 또는 진보성 부정 주장, (2) 이 사건 제8항 발명의 ① 선행발명 1, 2, 3 및 8 중 어느 하나와 선행발명 4와의 결합, 또는 ② 선행발명 1, 2, 3 및 8 중 어느 하나와 주지관용기술(갑 제10 내지 12호증)의 결합에 의한 진보성이 부정 주장, (3) 이 사건 제14항 발명의 ① 선행발명 2에 의한 신규성 또는 진보성 부정 주장, ② 선행발명 1, 3 및 8 중 어느 하나와 선행발명 2, 5, 6, 7, 9, 10 중 어느 하나와의 결합에 의한 진보성 부정 주장

의 청구범위 해석에 관하여 먼저 살펴기로 한다[한편 피고는, 원고의 주장 중 이 사건 심판 단계에서 심리·판단된 바 없는 새로운 무효 사유 및 선행발명들에 기초한 주장은 특허심판원의 심결을 받을 이익을 해하므로 허용될 수 없다는 취지로 주장하나, 심판은 특허심판원에서의 행정절차이고 심결은 행정처분에 해당하며, 그에 대한 불복의 소송인 심결취소소송은 항고소송에 해당하여 그 소송물은 심결의 실체적·절차적 위법 여부라 할 것이므로, 당사자는 심결에서 판단되지 아니한 것이라도 그 심결의 결론을 정당하게 하거나 위법하게 하는 사유를 심결취소소송 단계에서 주장·입증할 수 있고, 심결취소소송의 법원은 특별한 사정이 없는 한 제한 없이 이를 심리·판단하여 판결의 기초로 삼을 수 있는 것이며 이와 같이 본다고 하여 심급의 이익을 해한다거나 당사자에게 예측하지 못한 불의의 손해를 입힌다고 할 수 없으므로(대법원 2002. 6. 25. 선고 2000후1306 판결, 대법원 2003. 2. 26. 선고 2001후1617 판결 등 참조), 피고의 위 주장은 이유 없다].

4. '담장 모양의 Fin액티브 영역(구성요소 2)'의 청구범위 해석

가. '담장 모양의 Fin액티브 영역(구성요소 2)'의 해석에 관한 당사자의 주장

피고는 이 사건 제1항 발명의 '담장 모양의 Fin액티브 영역(구성요소 2)'을 'Fin액티브 영역이 ① 나노 크기의 폭(대략 100nm 이하의 얇은 폭)을 갖고, ② 단면상 폭이 일정하거나 하부로 갈수록 넓어지며, ③ 높이가 폭보다 충분히 큰 종횡비를 가지고 전류가 흐르는 길이 방향으로 길게 늘어선 형태의 기술적 구성을 가지는 것'으로 해석해야 한다고 주장한다. 반면, 원고는 '담장 모양의 Fin액티브 영역'은 'Fin액티브 영역이 기판 표면으로부터 수직으로 볼록 튀어 나온 형태'를 의미할 뿐 피고가 주장하는 특정한 형상으로 한정 해석되어서는 안 된다고 주장한다.

나. 관련법리

특허발명의 보호범위는 청구범위에 적혀 있는 사항에 따라 정해진다(특허법 제97조). 청구범위는 특허출원인이 특허발명으로 보호받고자 하는 사항을 적은 것이므로, 신규성·진보성을 판단하는 대상인 발명의 확정도 청구범위에 적혀 있는 사항에 따라야 한다. 다만 청구범위에 적혀 있는 사항은 발명의 설명이나 도면 등을 참작해야 그 기술적인 의미를 정확하게 이해할 수 있으므로, 청구범위에 적혀 있는 사항은 그 문언의 일반적인 의미를 기초로 하면서도 발명의 설명과 도면 등을 참작하여 그 문언으로 표현하고자 하는 기술적 의의를 고찰한 다음 객관적·합리적으로 해석하여야 한다. 그러나 발명의 설명과 도면 등을 참작한다고 하더라도 발명의 설명이나 도면 등 다른 기재에 따라 청구범위를 제한하거나 확장하여 해석하는 것은 허용되지 않는다(대법원 2012. 12. 27. 선고 2011후3230 판결, 대법원 2020. 4. 9. 선고 2018후12202 판결 참조).

다. 구체적 검토

1) '담장 모양의 Fin액티브 영역'이 Fin액티브 영역의 폭을 대략 100nm 이하로 한정하는 것으로 해석할 수 있는지 여부

이 사건 특허발명의 명세서에는 아래와 같이 'Fin액티브 영역'이 "나노 패터닝"에 의해 "나노 크기"의 폭을 갖는다는 내용이 기재되어 있다.

이 사건 특허발명의 명세서(갑 제2호증), 제1면
본 발명은 이중-게이트 FinFET 소자 및 그 제조방법에 관한 것으로서, 더 상세하게는 벌크(bulk) 실리콘기판을 이용하되, 채널이 형성되는 바디(body)가 될 실리콘의 Fin액티브 영역이 나노 크기의 폭을 갖도록 하고 기판에 연결되도록 하며, 전류가 흐르는 길이 방향으로 담장처럼 형성되게 함으로써 전기적으로 안정된 이중-게이트 FinFET 소자 및 그 제조방법에 관한 것이다.
종래의 이중-게이트 소자는 통상 SOI 실리콘기판을 이용하여 제작하는 데, 이는 웨이퍼

가격이 비싸고 또한 SOI MOS 소자에서 가능한 플로팅 바디 효과나 드레인/소스 사이의 항복접압 강화, off-전류의 증가를 초래하며 기판으로 열전도가 잘 되지 않는 문제가 있다.

본 발명에서는 SOI 실리콘기판 대신에 벌크 실리콘기판을 사용하되, 채널이 형성되는 바디가 될 Fin액티브 영역이 나노 크기의 폭을 가지며 전류가 흐르는 길이 방향으로 담장처럼 형성되어 벌크 실리콘기판과 연결된다.

그러나 위와 같은 명세서 기재만으로 이 사건 제1항 발명의 '담장 모양의 Fin액티브 영역'이라는 한정 사항이 Fin액티브 영역의 폭을 대략 100nm 이하로 한정하는 취지로 해석하기는 어렵다. 구체적인 이유는 아래와 같다.

가) '담장 모양'이라는 한정 사항은 문언상 'Fin액티브 영역'의 모양을 한정하고 있는 것일 뿐 'Fin액티브 영역'의 구체적인 크기를 한정하고 있는 것이 아니다.

나) 'Fin액티브 영역'은 이중-게이트 FinFET 소자에서 전류가 흐르는 채널이 형성되는 바디가 될 실리콘 구조물을 의미한다. 이 사건 특허발명의 명세서에는 이중-게이트 FinFET 소자를 '채널이 되는 영역의 폭을 나노미터 크기(대개 50nm 이하)로 패턴을 형성하고 식각하여 게이트 물질을 증착하면 식각된 채널 패턴의 양쪽 측벽이 주 채널 영역이 되는 것을 이용하는 것'으로 설명하고 있는바(갑 제2호증의 제3면), 'Fin액티브 영역'이라는 개념 자체에 폭의 크기에 대한 한정(나노미터 크기)이 내재되어 있는 것으로 보이기는 한다. 예컨대 채널이 되는 영역의 폭이 나노미터 크기가 아니라 마이크로미터 크기 이상으로 넓은 경우라면 이 사건 특허발명에서 전제로 하는 이중-게이트 FinFET 소자에 해당되지 않을 수 있다. 그러나 이 사건 특허발명이 'Fin액티브 영역'의 폭을 특정한 수치(대략 100nm 이하)로 정의하고 있지는 않고, 명세서에서 언급하고 있는 '나노미터 크기'가 통상의 기술자에게 '대략 100nm 이하의 크기'로 명확하게 받아들

여지고 있다고 단정하기도 어렵다.⁹⁾

다) 이 사건 특허발명의 명세서에는 하나의 예(도 9 관련)로서 Fin액티브 영역의 폭을 4nm ~ 100nm로 기재하고 있으나, 이러한 예시에 근거하여 이 사건 제1항 발명의 'Fin액티브 영역'을 100nm 이하의 폭을 가지는 것으로 제한 해석할 수는 없다(이와 같은 Fin액티브 영역의 폭에 대한 수치 한정 사항은 이 사건 제1항 발명의 종속항인 이 사건 제2항 발명¹⁰⁾에 포함되어 있다).

이 사건 특허발명의 명세서(갑 제2호증), 제6면
도 9는 본 발명에서 제안한 FinFET 소자를 구현하기 위한 하나의 예로서, CMP(Chemical Mechanical Polishing)를 도입하여 구현하는 주요 공정단계를 2차원 단면으로 보인다.
도 9a에서 벌크 실리콘기판(2b)에 제1산화막(6)을 형성하고 나노 패터닝을 수행한 뒤, 제1산화막(6)과 벌크 실리콘 기판(2b)의 실리콘을 식각한 것을 나타낸다.
나중에 벌크 실리콘기판(2b)에 연결되는 채널 Fin이 Fin액티브 영역(4)과 같이 형성된다. 이때 상기 제1산화막(6)의 두께는 0.5 nm에서 200 nm 사이의 두께를 사용하고, Fin액티브 영역(4)의 높이는 10 nm에서 1000 nm 사이의 값을, 그 폭은 4 nm에서 100 nm 사이의 값을 사용한다.

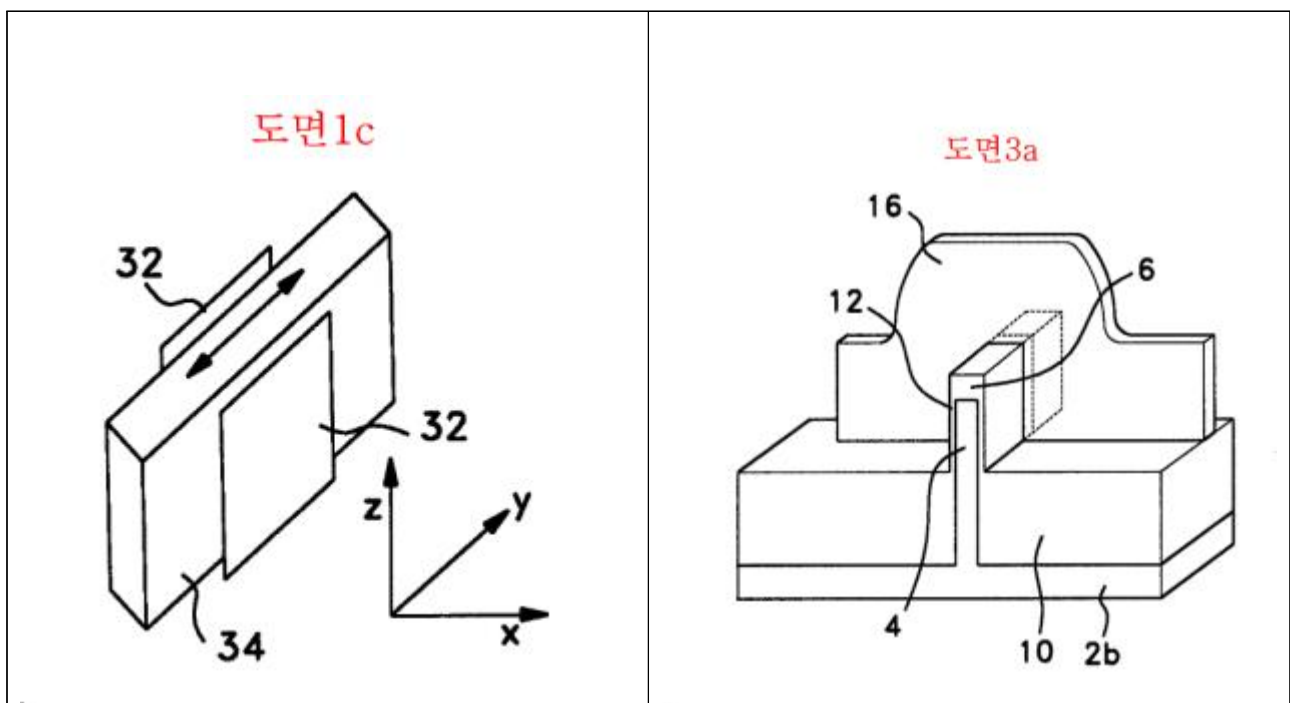
2) '담장 모양의 Fin액티브 영역'이 Fin액티브 영역의 단면의 형상을 특정한 형상(폭이 일정하거나 하부로 갈수록 넓어지는 형상)으로 한정하는 것으로 해석할 수 있는지 여부

이 사건 제1항 발명은 'Fin액티브 영역'을 '담장 모양'으로 한정하고 있는데, 이 사건 특허발명의 명세서에 '담장 모양'의 의미를 구체적으로 정의하고 있지는 않다. 일반적으로 '담장'은 '집의 둘레나 일정한 공간을 둘러막기 위하여 흙, 돌, 벽돌 따위로 쌓아

9) 갑 제53호증의 1 내지 6, 갑 제54호증의 각 기재에 의하면, 100 nm를 넘어서는 수백 나노미터 크기까지도 나노미터 크기(nanometer scale)로 설명하고 있는 여러 문헌이 있음을 알 수 있다.

10) [청구항 2] 청구항 1에 있어서, 상기 Fin액티브 영역의 폭이 4 nm ~ 100 nm인 것을 특징으로 하는 이중-게이트 FinFET 소자.

올린 것'을 의미하는데, 이 사건 특허발명은 아래 도면과 같이 벌크 실리콘기판(2b) 위에 전류가 흐르는 길이 방향으로 길게 늘어선 폭이 좁고 높이가 높은 Fin액티브 영역의 돌출구조를 묘사하기 위해 '담장 모양'이라는 표현을 사용한 것으로 보인다. 위와 같은 '담장 모양'은 Fin액티브 영역의 돌출구조의 양쪽 측벽이 주 채널영역이 되도록 하여 DIBL(Drain Induced Barrier Lowering) 특성을 개선하고, 소자의 문턱전압을 동적(dynamically)으로 변화시킬 수 있어 채널의 on-off 특성을 개선하며, 짧은 채널효과를 억제할 수 있도록 하는 구조를 제공한다는 기술적 의의를 가진다.



이 사건 특허발명의 명세서(갑 제2호증), 제3면

이중-게이트 소자는 전류가 흐르는 채널의 상하(아래와 위)나 좌우(왼쪽과 오른쪽)에 게이트 전극이 존재하여 게이트 전극에 의한 채널의 제어 특성을 크게 개선할 수 있다.

게이트에 의한 채널의 제어 특성이 큰 경우, 소스와 드레인 사이의 누설전류를 종래의 단일 게이트 소자에 비해 크게 개선할 수 있어 결국 DIBL(Drain Induced Barrier Lowering) 특성을 크게 개선할 수 있다.

또한 채널 양쪽에 게이트가 존재하여 소자의 문턱전압을 동적(dynamically)으로 변화시킬

수 있어 채널의 on-off 특성이 종래의 단일 게이트 구조에 비해 크게 개선되고 짧은 채널효과를 억제할 수 있다.

[중략]

상기 도 1c의 MOS 소자를 'FinFET'라고 부른다.

도 1c의 이중- 게이트 소자는 SOI 소자 기술에서 채널이 되는 영역(34)의 폭을 나노미터 크기(대개 50 nm 이하)로 패턴을 형성하고 식각하여 게이트 물질을 증착하면 식각된 채널 패턴의 양쪽 측벽이 주 채널영역이 되는 것을 이용하는 것이다.

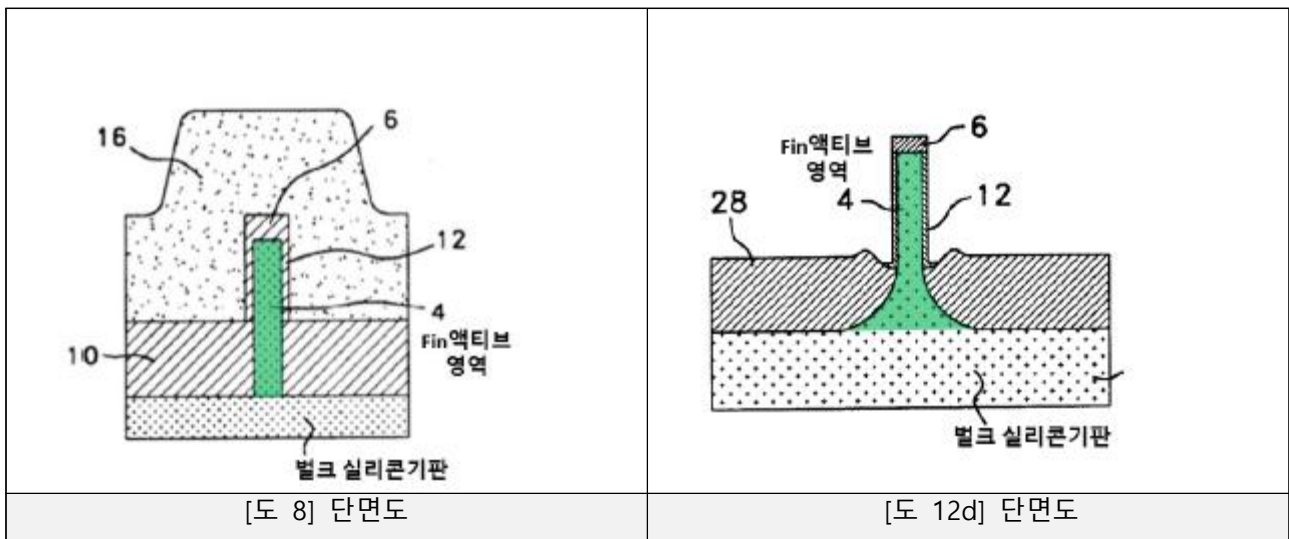
한편, 일반적으로 '담장'의 단면은 폭이 일정한 직사각형 모양을 가지는 경우가 많기는 하다. 그러나 이 사건 특허발명의 명세서를 전체적으로 볼 때, '단면이 직사각형 형상'이라는 점이 이 사건 제1항 발명의 '담장 모양'이라는 한정 사항을 통해 한정하고자 한 Fin액티브 영역의 본질적인 특징이라고 해석되지는 않는다. 이 사건 제14항 발명은 'Fin액티브 영역의 폭이 벌크 실리콘기판에 가까워지면서 산화막 내에서 넓어지는 모양'을, 이 사건 제15항 발명은 '상부 폭은 좁고, 하부 폭이 넓은 사다리꼴 모양'을, 이 사건 제16항 발명은 '상부의 두 모서리가 둥글게 형성된 모양'을 이 사건 제1항 발명의 종속항 발명으로 청구하고 있는 점 등에 비추어 볼 때, 이 사건 제1항 발명의 '담장 모양'은 폭이 일정한 직사각형 모양의 단면을 가지는 것으로 한정되는 것이 아니라 담장의 기능을 할 수 있는 다양한 단면의 모양을 모두 포함하고 있다고 해석하는 것이 합리적이다. 즉, 실제 '담장'이 담장으로서의 기능과 안전성을 유지하면서도 다양한 단면의 모양을 가질 수 있는 것과 같이¹¹⁾ 이 사건 제1항 발명의 '담장 모양' 또한 Fin액티

11) 원고는 담장이 다양한 모양을 가질 수 있다는 점을 주장하면서 아래 그림과 같은 예시를 들기도 하였다.



브 영역의 단면 모양을 특정한 모양으로 한정하는 것은 아니라고 해석하는 것이 타당하다.

한편, 이 사건 특허발명의 명세서에는 아래 도면과 같이 Fin액티브 영역의 단면 형상이 ① 폭이 일정하거나 ② 하부로 갈수록 넓어지는 형상을 실시례로 개시하고 있는 하나, 이 사건 제1항 발명의 '담장 모양'이 이러한 실시례에 개시된 단면의 형상만으로 한정된다고 제한하여 해석할 수는 없다.



3) '담장 모양의 Fin액티브 영역'의 구체적인 해석

앞서 살핀 바와 같이, 'Fin액티브 영역'은 이중-게이트 FinFET 소자에서 전류가 흐르는 채널이 되는 실리콘 구조물을 의미하는데, 이 사건 제1항 발명은 위 'Fin액티브 영역'의 형상을 '담장 모양' 즉, 벌크 실리콘기판(2b) 위에 전류가 흐르는 길이 방향으로 길게 늘어선 폭이 좁고 높이가 높은 형상으로 한정하고 있다. 이와 같은 '담장 모양'은 앞서 본 바와 같이 그 단면의 형상을 특정한 모양으로 한정하는 것은 아니지만, 폭과 높이의 비율(종횡비)¹²⁾에 관하여는 어느 정도 한정하고 있다고 보아야 한다.

이에 대해 원고는 '담장 모양'이라는 것은 'Fin액티브 영역이 기판 표면으로부터 수직으로 볼록 튀어 나온 형태'를 의미하는 것일 뿐 종횡비를 한정하는 것은 아니라고 주장한다. 그러나 '담장'은 '집의 둘레나 일정한 공간을 둘러막기 위하여 흙, 돌, 벽돌 따위로 쌓아 올린 것'을 의미하는데, 담장이 담장으로 기능하기 위해서는 어느 정도 높이가 있어야 하는바, 높이가 지나치게 낮은 구조물은 언어의 일반적인 의미에 비추어 벤치, 장식물, 경계 표시물이라고는 부를 수 있을지언정 '담장'이라고 지칭하기 어려우므로, 원고의 위 주장은 이유 없다.

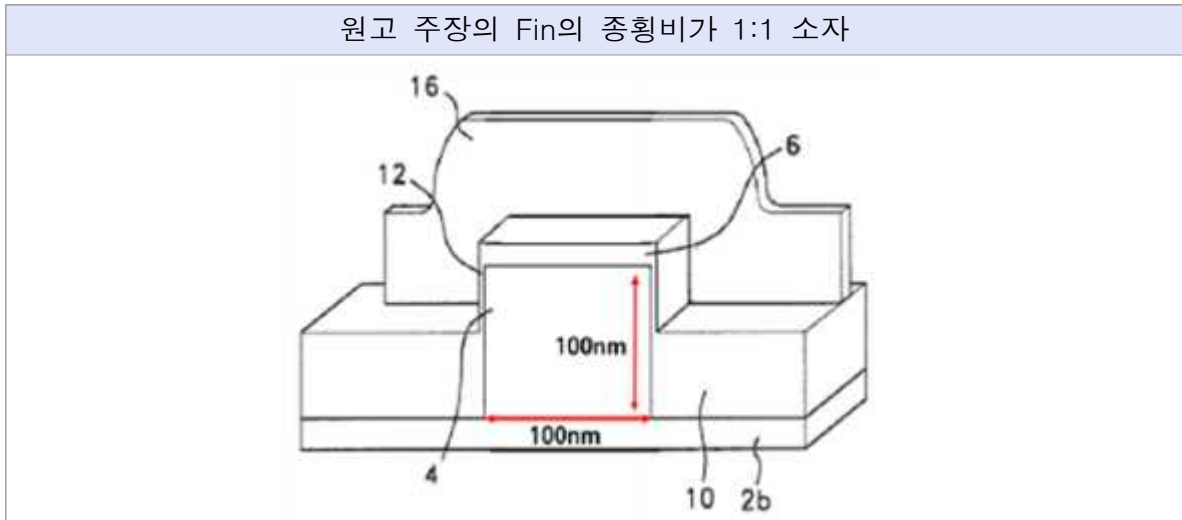
실제 담장의 폭과 높이는 구조적 안정성 등을 고려하여 결정하게 되고, 높이가 폭에 비해 충분히 크게 설계되는 것이 일반적이다.¹²⁾ '담장 모양'의 'Fin액티브 영역'에 해당하기 위한 종횡비를 수치적으로 기준을 정하기는 어려우나, 앞서 본 '담장 모양'이라는 한정 사항의 기술적 의의를 고려하면, 최소한 FinFET 구조에서 Fin액티브 영역의 돌출 구조의 양쪽 측벽이 주 채널영역이 되어 소자의 문턱전압을 동적(dynamically)으로 변화시킬 수 있는 정도의 충분히 큰 종횡비를 요한다고 해석함이 타당하다.

이에 대하여 원고는, 이 사건 제1항 발명의 종속항인 이 사건 제3항 발명은 아래 그림과 같이 Fin액티브 영역의 높이가 100nm이고 폭이 100nm인 경우를 포함하는 것으로 해석되는데, 이는 충분히 큰 종횡비라고 볼 수 없는바, 이 사건 제1항 발명의 '담장 모양'의 해석에 충분히 큰 종횡비를 요하는 것으로 해석하는 것은 종속항인 이 사건

12) FinFET 구조에서 Fin의 폭(width)과 높이(height)의 비율인 종횡비(aspect ratio)는 게이트 제어 능력, 누설 전류 억제 등 전기적 성능에 중요한 영향을 미치는 요소이다. 일반적으로 종횡비가 높을수록(폭이 좁고 높이가 높을수록) 게이트 제어 능력, 전류 밀도, 전력 효율 등이 향상된다.

13) 「건축물의 구조기준 등에 관한 규칙」에서는, 조적식 구조의 담은 높이 2~3미터의 담의 두께는 190밀리미터 이상으로, 2미터 이하인 담의 두께는 90밀리미터 이상으로 구조기준을 정하고 있고(제39조), 보강블록구조의 담은 높이 2~3미터의 담의 두께는 150밀리미터 이상으로, 2미터 이하인 담의 두께는 90밀리미터 이상으로 구조기준을 정하고 있다(제45조). 위 구조기준에 따른 최소한의 두께로 보강블록구조의 3미터 담장을 설계할 경우 종횡비는 20:1에 해당한다(높이 3미터, 두께 150밀리미터). 건축물의 구조기준상 두께의 상한에 대한 한정은 없으므로 두께를 더 보강할 경우 종횡비가 더 작아질 수 있겠지만 현실적으로 경제성과 구조적 안정성을 종합적으로 고려하여 담장을 설계하게 되므로, 대부분의 담장은 두께에 비해 높이가 충분히 큰 종횡비를 가지는 것이 일반적이다.

제3항과의 관계에서 모순되는 해석이라는 취지로 주장한다.



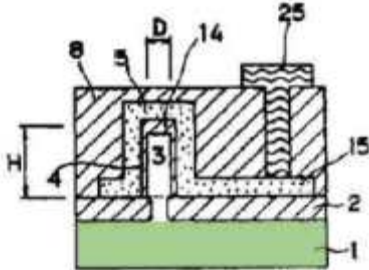
그러나 원고의 위 주장은 이 사건 제3항 발명의 보호범위를 잘못 파악한 것으로 받아들일 수 없다. 원고의 주장은, 이 사건 제2항 발명은 "청구항 1에 있어서, 상기 Fin액티브 영역의 폭이 4 nm ~ 100 nm인 것을 특징으로 하는 이중-게이트 FinFET 소자"이고, 이 사건 제3항 발명은 "청구항 1 또는 청구항 2에 있어서, 상기 Fin액티브 영역의 높이가 벌크 실리콘 기판 표면으로부터 10 nm ~ 1000 nm인 것을 특징으로 하는 이중-게이트 FinFET 소자"이므로, 이 사건 제2항 발명의 Fin액티브 영역의 폭의 수치범위에 포함되는 100 nm와 이 사건 제3항 발명의 Fin액티브 영역의 높이의 수치범위에 포함되는 100 nm를 조합한, 높이가 100nm이고 폭이 100nm인 경우도 이 사건 제3항 발명의 보호범위에 포함됨을 전제로 하는 취지로 보인다. 그러나 이 사건 제2항 발명 또는 이 사건 제3항 발명은 이 사건 제1항 발명의 구성요소를 모두 포함하고 있는 것을 전제로 하는 종속항 발명인바, 이 사건 제1항 발명의 '담장 모양'에 해당하지 않는 Fin액티브 영역, 예를 들어 원고가 예시하고 있는 것과 같은 높이가 100nm이고 폭이 100nm인 Fin액티브 영역은 이 사건 제3항 발명의 보호범위에 포함되지 않는다고

보아야 한다. 다시 말해 이 사건 제3항 발명은 Fin액티브 영역이 '담장 모양'을 유지하는 범위 내에서 그 높이를 10 nm ~ 1000 nm의 수치범위로 한정하는 것일 뿐, 10 nm ~ 1000 nm의 수치범위 사이의 높이를 가지는 모든 Fin액티브 영역을 포함하는 발명이라고 볼 수 없다.¹⁴⁾ 따라서 원고의 위 주장은 그 전제가 잘못된 주장이므로 받아들일 수 없다.

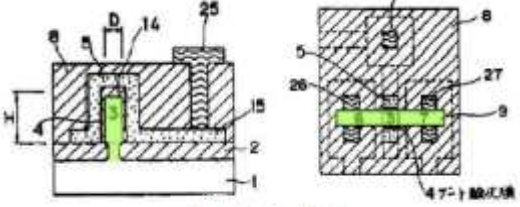
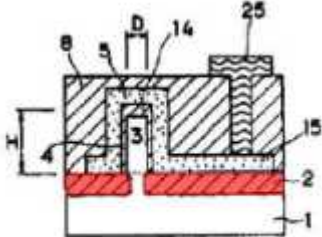
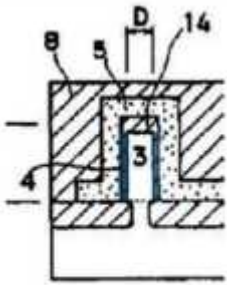
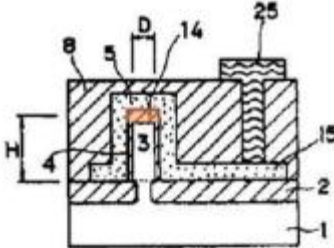
5. 이 사건 제1항 발명의 신규성 또는 진보성 부정 여부에 관한 판단

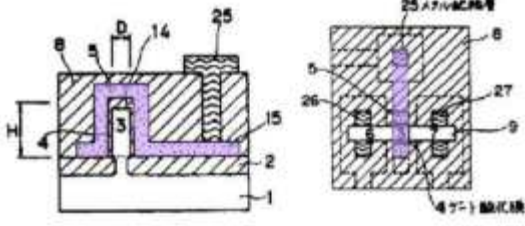
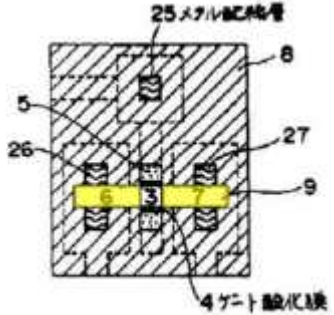
가. 선행발명 1에 의한 신규성 또는 진보성 부정 여부

1) 이 사건 제1항 발명과 선행발명 1의 구성 대비

구성 요소	이 사건 제1항 발명	선행발명 1(갑 제4호증)
1	벌크 실리콘기판과,	단결정 Si 기판(1) (선행발명 1의 번역문 6면, 도면 1(d))  [도 1(d)]
2	상기 벌크 실리콘기판에 연결되고 벌크 실리콘기판 상부 가운데에 단결정 실리콘으로 형성된 담장 모양의 Fin액티브 영역과	기판에 접하는 박판형(얇은 판형) 실리콘 (선행발명 1의 번역문 6면, 7면, 도면 1(c), 1(d) 등)

14) 원고 주장의 해석대로라면, 극단적으로 폭이 100nm, 높이가 10 nm인 납작한 형상도 '담장 모양'에 해당하는 것으로 해석해야 한다는 것인데, 이와 같은 해석은 '담장 모양'이라는 언어의 일반적인 의미에서 상당히 벗어난 형상까지 무리하게 '담장 모양'으로 포섭하고자 하는 것이어서 명세서에서 '담장 모양'에 관하여 특별한 정의를 하지 않은 이 사건에서 받아들이기 어려운 해석이다.

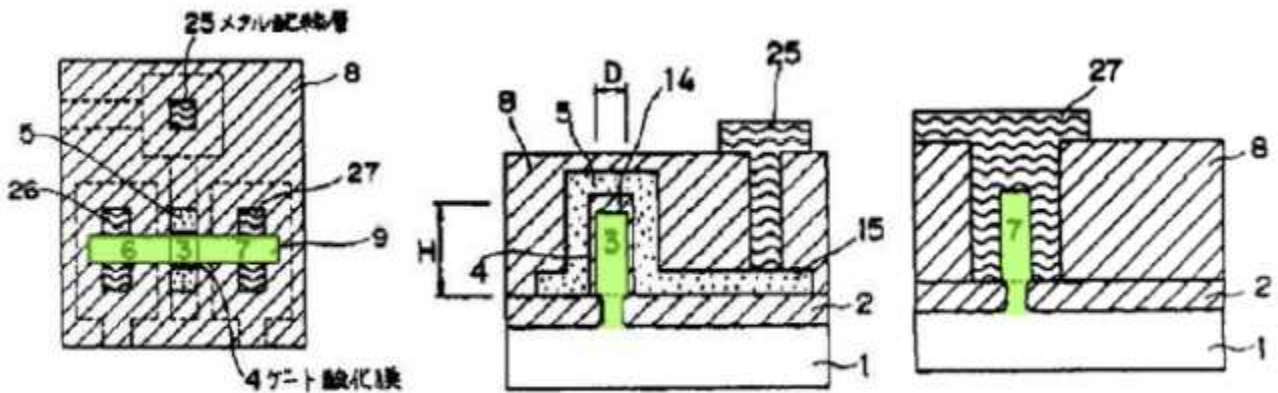
		 [도 1(c), (d)]
3	상기 벌크 실리콘기판 표면에서 Fin액티브 영역의 일정 높이까지 형성된 제2산화막과,	소자간 분리용 필드 산화막(2) (선행발명 1의 번역문 6면, 도면 1(d))  [도 1(d)]
4	상기 제2산화막 위의 Fin액티브 영역 양쪽 측벽에 형성된 게이트 산화막과,	게이트 절연막(4) (선행발명 1의 번역문 6면, 도면 1(d))  [도 1(d)]
5	상기 Fin액티브 영역의 위쪽 표면에 게이트 산화막과 같거나 두껍게 형성된 제1산화막과,	그 꼭지부에 두께와 유전율의 비가 게이트 절연막(4)의 그것보다 큰 절연막(14)을 형성하고, (선행발명 1의 번역문 6면, 도면 1(d))  [도 1(d)]

6	상기 제1, 2산화막 위에 형성된 게이트와,	절연막(14)과 필드산화막(2) 위에 형성된 게이트 전극(5) (선행발명 1의 도면 1(c), 1(d))  [도 1(c), (d)]
7	상기 게이트와 겹치는 Fin액티브 영역을 제외한 Fin액티브 영역 양쪽에 형성된 소스/드레인과,	박판형 Si(9)의 양단에 소스 영역(6) 및 드레인 영역(7)을 마련하고, 중앙부는 (중략) 폴리 Si에 의한 게이트 전극(5)을 마련한다. (중략) 게이트 산화막(4)에 의해 한정된 박스형 채널 영역(3)은, 6개의 면으로 둘러싸여 있으며 그 제1면은 소스 영역(6)에 접하고, 제1면과 대향하는 제2면은 드레인 영역(7)과 접하고 있다.(선행발명 1의 번역문 6면, 도면 1(c))  [도 1(c)]
8	상기 소스, 드레인, 게이트의 콘택 부분에 형성된 콘택영역 및 금속층을	게이트 전극(5), 소스(6), 드레인(7)에 콘택홀을 통해 접속하는 금속 배선층(26, 27) (선행발명 1의 번역문 6면, 도면 1(c), 1(d), 1(e))

도 1(a)~(e)에 나타난 바와 같이 본 실시예의 IG-FET는, 단결정 Si기판(1)에 대해 수직으로 배치된 높이(H), 두께(D)의 박판형의 Si(9)안에 형성되어 있다.

나) 구성요소 2

(1) 구성요소 2는 "상기 벌크 실리콘 기판에 연결되고 벌크 실리콘 기판 상부 가운데에 단 결정 실리콘으로 형성된 담장 모양의 Fin액티브 영역"인데, 선행발명 1의 도 1의 '녹색 부분'은 '기판(1)에 접하는 얇은 판형 실리콘(9)'을 개시하고 있다.¹⁵⁾



[선행발명 1 도 1(c), (d), (e)]

[선행발명 1의 번역문 6면, 7면]

즉, 기판(1)에 접하고 또한 이 기판(1)에 대해 수직으로 배치된 박판형 Si(9)의 양단에 소스 영역(6) 및 드레인 영역(7)을 마련하고, 중앙부는 그 측부에 산화 Si에 의한 게이트 절연막(4)을 형성하고, 그 꼭지부에 두께와 유전율의 비가 게이트 절연막(4)의 그것보다 큰 절연막(14)을 형성하고, 그 게이트 절연막(4) 및 절연막(14)을 덮어 폴리 Si에 의한 게이트 전극(5)을 마련한다(도 1(c), (d) 참조). (중략)

2는 소자간 분리용 필드 산화막, 예를 들면 산화 Si막이며, 이 막(2)에 형성된 개구를 사이에 두고 상술한 박판형 Si(9)는 기판(1)과 접하고 있다. (중략)

또 도 1(d) 및 (e)의 단면도로부터 알 수 있듯이, 본 실시예의 IG-FET의 소스 영역(6), 채널

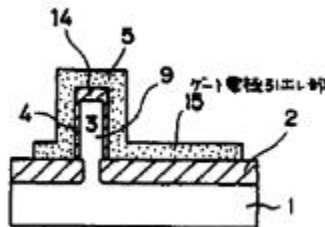
15) '기판(1)에 접하는 얇은 판형 실리콘(9)'은 위 선행발명 1의 도 1에서 '녹색 부분'으로 표시된 것과 같이 소스 영역(6), 채널 영역(3) 및 드레인 영역(7)을 포함하는 구성이다.

영역(3) 및 드레인 영역(7)은, 각각의 영역의 하부에서 Si기판(1)과 접하고 있다. 이로써 드레인 근방에서 임팩트 이온화에 의해 발생한 정공은 신속하게 Si기판(1)에 흐르기 때문에, 활성 Si영역이 전기적으로 부유 상태에 있는 SOI 위의 IG-FET의 경우에, 지금까지 문제가 되어 왔던 드레인 내압의 저하가 발생하지 않는다.

선행발명 1의 '기판(1)에 접하는 얇은 판형 실리콘(9)'은 나노크기의 폭을 가지고,¹⁶⁾ 높이가 폭보다 커서 양쪽 측벽이 주 채널영역이 되어 소자의 문턱전압을 동적(dynamically)으로 변화시킬 수 있는 정도로 충분히 큰 종횡비¹⁷⁾를 가지고 있는바 '담장 모양의 Fin액티브 영역'에 해당한다. 또한 위 판형 실리콘(9)이 벌크 실리콘 기판(1)에 연결되어 있으므로, 구성요소 1과 실질적으로 동일하다고 봄이 타당하다.

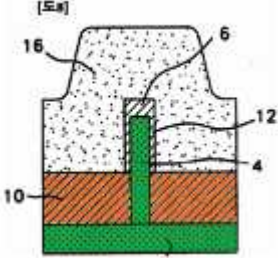
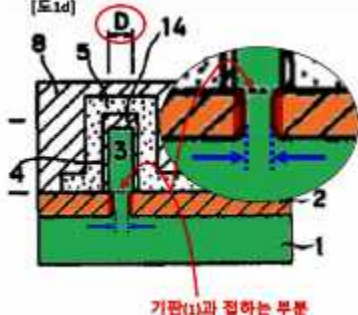
(2) 이에 대하여 피고는, 구성요소 2의 '담장 모양의 Fin액티브 영역'은 '단면상 폭이 일정하거나 하부로 갈수록 넓어지는 모양'을 가지는데, 아래 도면에서 보는 바와 같이 선행발명 1의 대응구성은 이와 달리 '블록부(3)와 기판(1)이 접하는 영역의 폭을 블록부의 폭(D)보다 좁혀 블록부 아래 부분은 잘록한 모양'으로 구성하고 있으므로, 구성요소 2와 차이가 있다고 주장한다.

- 16) 선행발명 1은 '얇은 판형 실리콘(9)'의 폭의 구체적인 수치가 개시되어 있지는 않으나, 실시예 1에서 단결정 실리콘 기판에 형성된 필드 산화막(2)의 두께를 200~600 nm로 기재하고 있고(갑 제4호증 번역문 제8면 참조), 해당 실시예의 도면(도면 4(e))을 보면 얇은 판형 실리콘(9)의 폭이 필드 산화막(2)의 두께와 거의 비슷하거나 작은 것으로 도시되어 있는바, 얇은 판형 실리콘이 나노미터크기의 폭을 가진다고 볼 수 있다.



<도면 4(e)>

- 17) 선행발명 1은 '얇은 판형 실리콘(9)'의 폭의 수치를 완전공핍이 가능한 범위인 ' $D < 2 \cdot (2 \cdot K_s \cdot \epsilon_s \cdot \phi_t / qN)^{1/2}$ '라고 설명하고 있는바(갑 제4호증 번역문 제7면 참조), 도면에 도시된 폭과 높이의 비율을 더하여 볼 때, 높이가 폭보다 커서 양쪽 측벽이 주 채널영역이 되어 소자의 문턱전압을 동적(dynamically)으로 변화시킬 수 있는 정도로 충분히 큰 종횡비를 가지고 있다고 보기에 충분하다.

이 사건 제1항 발명	선행발명 1
	

그러나 앞서 '담장 모양의 Fin액티브 영역'의 청구범위 해석에서 살펴본 바와 같이, '담장 모양'은 'Fin액티브 영역'의 형상을 벌크 실리콘기판(2b) 위에 전류가 흐르는 길이 방향으로 길게 늘어선 폭이 좁고 높이가 높은 형상으로 한정하는 것이고, 단면의 형상을 특정한 모양으로 한정하는 것이 아니므로, 선행발명 1의 블록부가 기판(1)과 접하는 영역에서 잘록한 모양을 가지고 있다고 하더라도 구성요소 2의 '담장 모양의 Fin액티브 영역'에 해당한다고 보아야 한다. 따라서 피고의 위 주장은 이유 없다.

(3) 또한 피고는 선행발명 1의 블록부와 같이 '하부 폭이 좁아지는' 형태의 Fin액티브 영역은 플로팅 바디 문제 및 열 방출 문제를 해결할 수 없어 이 사건 제1항 발명의 구성요소 2에 해당할 수 없다는 취지로 주장한다.

그러나 다음과 같은 이유로 피고의 위 주장은 받아들일 수 없다.

① 선행발명 1의 명세서에는 아래와 같이 기재되어 있다.

[선행발명 1의 번역문 9면]

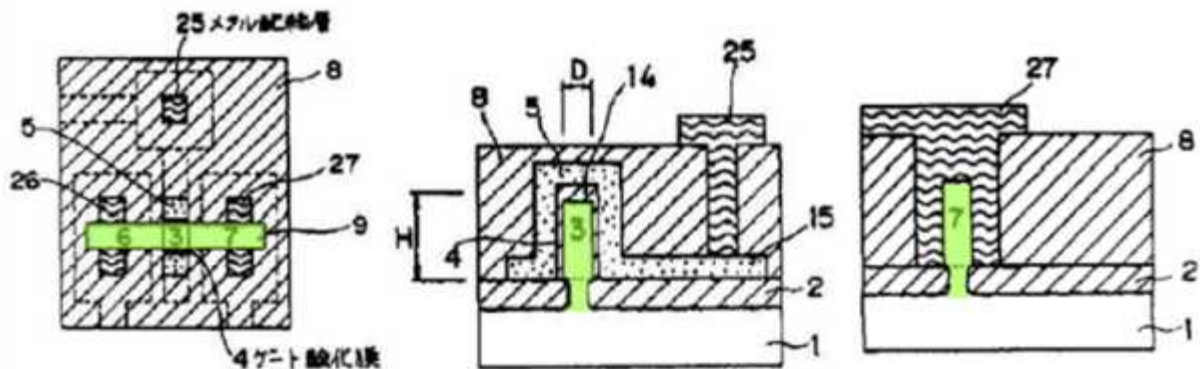
드레인 내압이 저하되는 문제점은, 채널 영역의 일부가 기판 반도체와 접하는 구조로 함으로써, 드레인 근방에서 임팩트 이온화에 의해 생긴 홀을 기판측에 유출시킴으로써 해결한다.

[선행발명 1의 번역문 15면, 16면]

또 도 1(d) 및 (e)의 단면도로부터 알 수 있듯이, 본 실시예의 IG-FET의 소스 영역(6), 채널 영역(3) 및 드레인 영역(7)은, 각각의 영역의 하부에서 Si기판(1)과 접하고 있다. 이로써 드레

인 근방에서 임팩트 이온화에 의해 발생한 홀은 신속하게 Si기판(1)에 흐르기 때문에, 활성 Si영역이 전기적으로 부유 상태에 있는 SOI 위의 IGFET의 경우에, 지금까지 문제가 되어 왔던 드레인 내압의 저하가 발생하지 않는다.

선행발명 1(갑 제4호증)의 도 1(c), 1(d), 1(e)



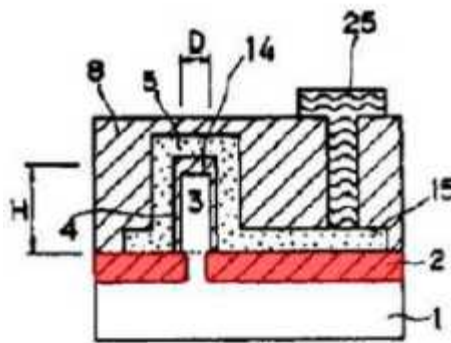
이와 같이 선행발명 1의 명세서에는 '채널 영역이 기판에 연결됨으로써, 캐리어인 홀(Hole)이 기판으로 유출됨으로서 드레인 내압 저하(플로팅 바디 문제)가 해결된다.'고 명시적으로 기재되어 있다. 즉 Fin액티브 영역이 기판에 연결되는 이상 Fin액티브 영역의 하부 폭이 조금 좁아지더라도 드레인 내압 저하(플로팅 바디 문제)는 해결될 수 있음을 알 수 있다.

② '열 방출 문제'와 관련하여도 산화막(SiO₂)의 열전도율은 실리콘(Si)의 열전도도보다 매우 작기 때문에 Fin액티브 영역이 기판과 연결되는 경우(아래 오른쪽 그림), 그 형상이 하부 부분이 좁아지는 형태라 하더라도 열전도율이 낮은 산화막으로 막혀있는 SOI FinFET(왼쪽 그림)보다 열 전도 효과가 높아서 열 방출 문제가 해결될 수 있다.

SOI FinFET	벌크 FinFET

다) 구성요소 3

(1) 구성요소 3은 "상기 벌크 실리콘 기판 표면에서 Fin액티브 영역의 일정 높이까지 형성된 제2산화막"이다. 선행발명 1은 도 1(d)에서 산화막인 '필드산화막(2)'을 개시하고 있으며, 이는 '단결정 실리콘 기판(1)'로부터 '기판에 접하는 얇은 판형 실리콘'의 일정 높이까지 형성되어 있는데, 이는 구성요소 3과 실질적으로 동일한 구성이다.



[선행발명 1의 도 1(d)]

[선행발명 1의 번역문 6면]

2는 소자간 분리용 필드 산화막, 예를 들면 산화 Si막이며, 이 막(2)에 형성된 개구를 사이에 두고 상술한 박판형 Si(9)는 기판(1)과 접하고 있다. (중략)

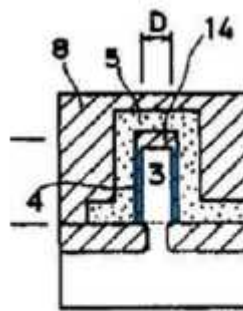
(2) 한편 피고는 선행발명 1의 "필드 산화막"은 "새부리(Bird's beak)" 모양으로 파고

들어가 형성된 것으로 구성 3과 구조와 기능이 다르다고 주장한다.

그러나 ① 구성요소 3은 '벌크 실리콘 기판 표면에서 Fin액티브 영역의 일정 높이까지 형성된 제2 산화막'이라고만 한정하고 있으므로 청구범위 해석상 구성요소 3은 'Fin 하부를 파고 들어가는 구조의 제2산화막'도 당연히 포함하는바, 선행발명 1의 '필드 산화막(2)'은 구성요소 3과 동일하다고 보아야 한다. 또한 ② 앞서 살펴본 바와 같이 산화막이 Fin 하부를 파고 들어가더라도 선행발명 1에서도 이 사건 특허의 플로팅 바디 문제(드레인 내압 저하) 해결 및 열 방출 효과가 동일하게 발생한다는 점 등을 고려하면, 피고의 위 주장은 받아들일 수 없다.

라) 구성요소 4

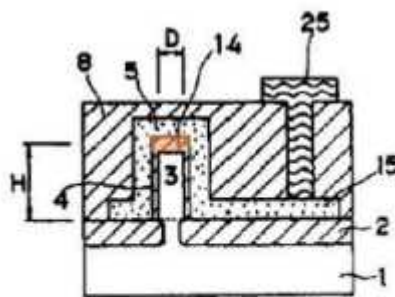
구성요소 4는 "상기 제2산화막 위의 Fin액티브 영역 양쪽 측벽에 형성된 게이트 산화막"이다. 선행발명 1은 도 1(d)에서 기판에 접하는 얇은 판형 실리콘의 중앙부 양쪽 측부에 형성된 '게이트 절연막(4)'을 개시하고 있는데, 이는 실리콘을 산화시켜 생성시키는 산화막에 해당하므로, 구성요소 4와 실질적으로 동일한 구성이다.



[선행발명 1의 도 1(d)]

즉, 기판(1)에 접하고 또한 이 기판(1)에 대해 수직으로 배치된 박판형 Si(9)의 양단에 소스 영역(6) 및 드레인 영역(7)을 마련하고, 중앙부는 그 측부에 산화 Si에 의한 게이트 절연막 (4)을 형성하고, (후략)

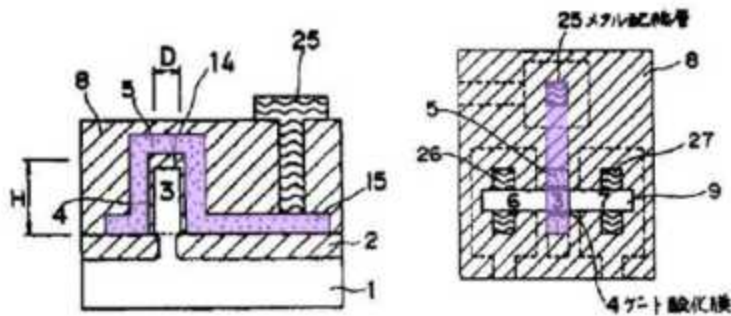
구성요소 5는 "상기 Fin액티브 영역의 위쪽 표면에 게이트 산화막과 같거나 두껍게 형성된 제1산화막"이다. 선행발명 1은 도 1(d)에서 '기판에 접하는 얇은 판형 실리콘'의 위쪽 표면에 게이트 산화막(4)보다 두껍게 형성된 산화막인 절연막(14)을 개시하고 있고, 이는 구성요소 5와 동일한 구성이다.



게이트 산화막(4)에 의해 한계된 박스형 채널 영역(3)은, 6개의 면으로 둘러싸여 있으며 (중략) 제3 면은 기판(1)에 접하고 있다. 이 제3 면과 대향하는 제4 면¹⁸⁾에는, 두께와 유전율의 비가 게이트 산화막(4)의 그것보다 큰 산화막이 형성되어 있으며 (중략)

바) 구성요소 6

구성요소 6은 "상기 제1, 2산화막 위에 형성된 게이트"인데, 선행발명 1은 실시예 1의 도 1에서 '절연막(14)'과 '필드산화막(2)' 위에 형성된 '게이트 전극(5)'을 개시하고 있는바, 이는 구성요소 6과 동일하다.



[선행발명 1의 도 1(c), (d)]

사) 구성요소 7

구성요소 7은 "상기 게이트와 겹치는 Fin액티브 영역을 제외한 Fin액티브 영역 양쪽에 형성된 소스/드레인"이다. 선행발명 1은 실시예 1의 도 1에서 게이트 전극(5)과 겹치는 채널영역(3)을 제외한 양쪽에 형성된 소스(6)/드레인(7)을 개시하고 있다.

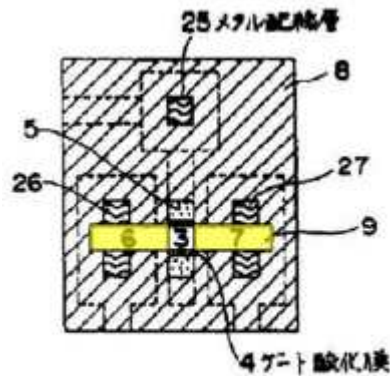
[선행발명 1의 번역문 6면]

즉, 기판(1)에 접하고 또한 이 기판(1)에 대해 수직으로 배치된 박판형 Si(9)의 양단에 소스 영역(6) 및 드레인 영역(7)을 마련하고, 중앙부는 그 측부에 산화 Si에 의한 게이트 절연막(4)을 형성하고, 그 꼭지부에 두께와 유전율의 비가 게이트 절연막(4)의 그것보다 큰 절연막(14)을 형성하고, 그 게이트 절연막(4) 및 절연막(14)을 덮어 폴리 Si에 의한 게이트 전극(5)을 마련한다(도 1(c), (d) 참조). (중략)

이상의 구조에 의해, 게이트 산화막(4)에 의해 한정된 박스형 채널 영역(3)은, 6개의 면으로 둘러싸여 있으며 그 제1 면은 소스 영역(6)에 접하고, 제1 면과 대향하는 제2 면은 드레인

18) 제4 면은 구성요소 5의 'Fin액티브 영역의 위쪽 표면'과 동일하다.

영역(7)과 접하고 있다. 소스 영역(6) 및 드레인 영역(7)을 묶는 방향을 포함한 제3 면은 기판(1)에 접하고 있다.

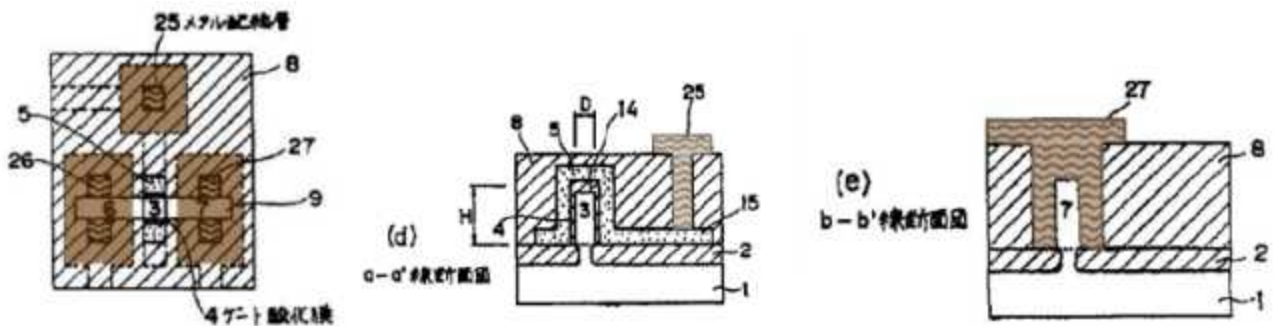


[선행발명 1의 도 1(c)]

따라서 구성요소 7은 선행발명 1에 동일하게 개시되어 있다.

아) 구성요소 8

이 사건 제1항 발명의 구성요소 8은 "상기 소스, 드레인, 게이트의 콘택 부분에 형성된 콘택영역 및 금속층"이다. 선행발명 1은 실시예 1의 도 1에서 게이트 전극(5), 소스(6), 드레인(7)에 콘택홀을 통해 접속하는 금속 배선층(26, 27)을 개시하고 있다.



[선행발명 1의 도 1(c), (d), (e)]

[선행발명 1의 번역문 6면]

콘택홀이란, 소스 영역(6), 드레인 영역(7), 게이트 전극 인출부(15)를 각각 메탈 배선층(26), (27), (25)에 전기적으로 접속하기 위해 층간 절연막(8)에 뚫린 구멍이다. (중략)
게이트 전극(5)의 전극 인출부(15)에는 메탈 배선층(25)을 접속한다(도 1(d) 참조). 소스 영역(6) 및 드레인 영역(7)에는 메탈 배선층(26) 및 (27)을 각각 접속한다(도 1(c) 및 (e) 참조).

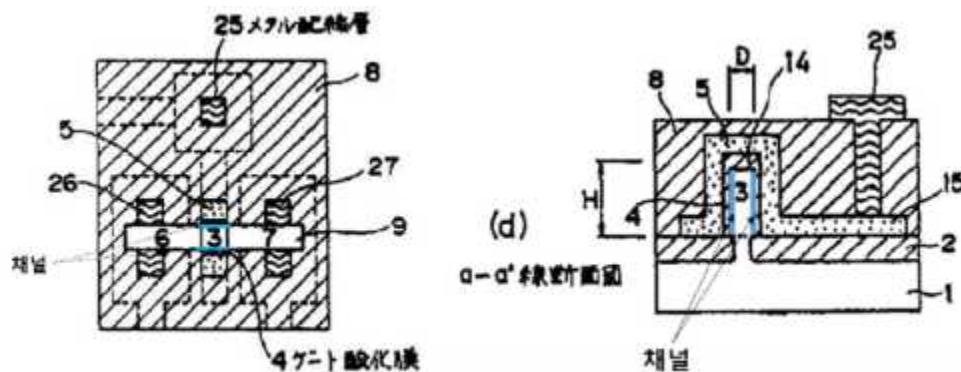
따라서 구성요소 8은 선행발명 1에 동일하게 개시되어 있다.

자) 구성요소 9

구성요소 9는 "이중-게이트 FinFET 소자"인데, 선행발명 1의 제1실시예도 '기판에 접하는 얇은 판형 실리콘'의 측면에 채널이 형성되는 이중-게이트 FinFET 소자를 개시하고 있다.

[선행발명 1의 번역문 7면]

이에 더해 본 실시예의 IG-FET는, 판형 Si(9)의 측면을 채널면으로서 이용하기 때문에 기판면 수직 방향에서 본 평면적인 치수는 작아도 실효적인 채널폭은 크게 할 수 있어 집적도의 향상을 도모할 수 있다.



[선행발명 1의 도 1(c), (d)]

따라서 구성요소 9는 선행발명 1에 동일하게 개시되어 있다.

3) 검토결과 정리

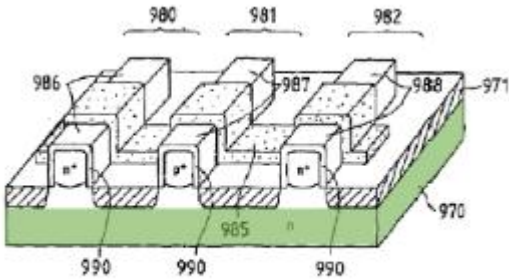
이상 검토 내용을 정리하면, 선행발명 1은 이 사건 제1항 발명의 모든 구성요소를

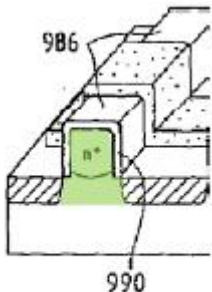
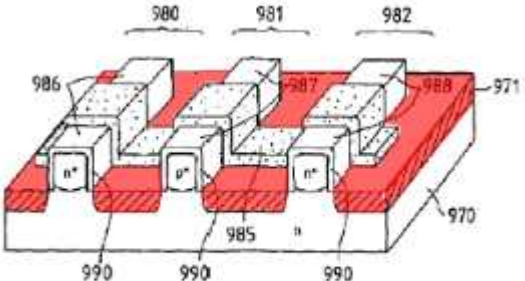
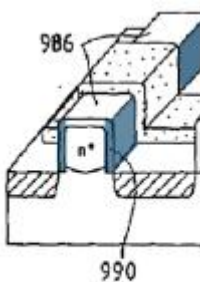
모두 개시하고 있으므로, 이 사건 제1항 발명은 선행발명 1에 의하여 신규성이 부정된다(설령 이 사건 제1항 발명과 선행발명 1의 대응구성이 일부 차이가 있다고 보더라도 이는 통상의 기술자가 선행발명 1로부터 쉽게 극복할 수 있는 것에 불과하므로, 이 경우 이 사건 제1항 발명은 선행발명 1에 의하여 진보성이 부정될 수 있다).

이 사건 제1항 발명의 무효 여부만을 생각한다면 다른 선행발명들(선행발명 2, 3, 8)에 근거한 원고의 이 사건 제1항 발명의 신규성 또는 진보성 부정 주장을 나아가 살필 필요가 없으나, 다른 선행발명들에 근거한 이 사건 제1항 발명의 신규성 또는 진보성 부정 여부는 이 사건 제1항 발명을 인용하는 다른 종속항 발명의 신규성 또는 진보성 판단의 전제가 될 수 있으므로 이하 순서대로 모두 검토하기로 한다.

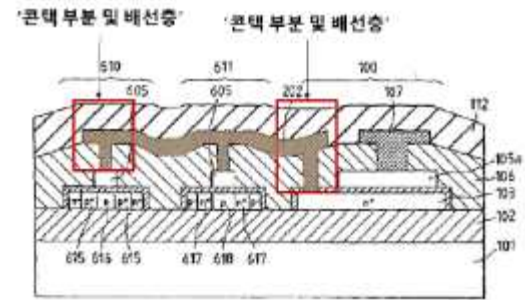
나. 선행발명 2에 의한 신규성 또는 진보성 부정 여부

1) 이 사건 제1항 발명과 선행발명 2의 구성 대비

구성 요소	이 사건 제1항 발명	선행발명 2(갑 제5호증)
구성 요소 1	벌크 실리콘기판과,	도 21의 실리콘 기판(970) (선행발명 2의 도면 21)  [도 21]
구성 요소 2	상기 벌크 실리콘기판에 연결되고 벌크 실리콘기판 상부 가운데에 단결정 실리콘으로 형성된 담장 모양의 Fin액티브 영역과	도 21에 도시된 '단결정 실리콘으로 형성된 돌출된 실리콘층 영역' (선행발명 2의 도면 21)

		 [도 21]
구성 요소 3	상기 벌크 실리콘기판 표면에서 Fin액티브 영역의 일정 높이까지 형성된 제2산화막과,	도 21에 도시된 '벌크 실리콘 기판 표면에서 돌출된 실리콘층 영역의 일정 높이까지 형성되어 있는 두꺼운 산화막(971)' (선행발명 2의 6면, 도면 21)  [도 21]
구성 요소 4	상기 제2산화막 위의 Fin액티브 영역 양쪽 측벽에 형성된 게이트 산화막과,	돌출된 실리콘층 영역의 양쪽 측벽에 형성된 게이트 산화막(990) (선행발명 2의 도면 21)  [도 21]
구성 요소 5	상기 Fin액티브 영역의 위쪽 표면에 게이트 산화막과 같거나 두껍게 형성된 제1산화막과,	돌출된 실리콘층 영역의 위쪽 표면에 형성된 게이트 산화막(990) (선행발명 2의 도면 21)

요소 8	형성된 콘택영역 및 금속층을	츠 및 소스/드레인 콘택 부분 및 배선층 (선행발명 2의 6면 및 도면 16)
구성 요소 9	포함하는 이중-게이트 FinFET 소자	도 21은 이중-게이트 트랜지스터 소자에 해당됨(선행발명 2의 6면 후단 및 도 21)



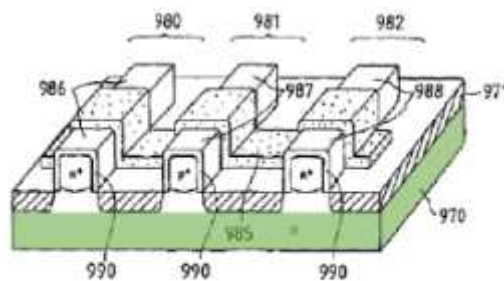
[도 16]

2) 공통점 및 차이점

피고는 구성요소 2, 4와 선행발명 2의 대응구성이 차이가 있다고 다투고 있을 뿐, 그 외의 다른 구성요소들에 대하여는 명시적으로 다투지 않고 있다.

가) 구성요소 1

이 사건 제1항 발명의 구성요소 1의 '벌크 실리콘 기판은 선행발명 2의 '실리콘 기판 (970)'과 서로 동일하다.

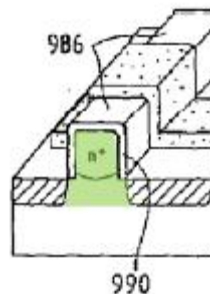


[선행발명 2의 도 21]

나) 구성요소 2

구성요소 2는 "상기 벌크 실리콘 기판에 연결되고 벌크 실리콘 기판 상부 가운데에 단결정 실리콘으로 형성된 담장 모양의 Fin액티브 영역"이다.

선행발명 2은 '기판에 연결되어 돌출된 실리콘층(도 21의 녹색부분)'을 개시하고 있기는 하나, 게이트가 형성된 부분(산화막 위에 돌출된 부분)의 종횡비는 거의 1:1의 박스 형태에 가까워서 돌출구조의 양쪽 측벽이 주 채널영역이 되어 소자의 문턱전압을 동적으로 변화시킬 수 있을지 의문이고(상면 게이트의 제어력이 커져서 양 측벽이 아닌 윗면이나 코너부가 주된 채널이 되고, 양쪽 게이트가 채널이 형성되는 Fin을 충분히 제어할 수 없어 소자의 문턱전압을 동적으로 변화시킬 수 없을 가능성이 있다), 기판에서 형성된 전체 돌출부의 종횡비를 보더라도 담장 모양에 해당한다고 볼 수 있을 만큼 종횡비가 충분히 크다고 단정하기 어렵다.



[도 21]

따라서 구성요소 2는 종횡비가 충분히 큰 '담장 모양'인 반면, 선행발명 2의 대응구성은 종횡비가 충분히 크지 않은 박스 형태라는 점에서 차이가 있다(이하 '차이점 1'이라고 한다).

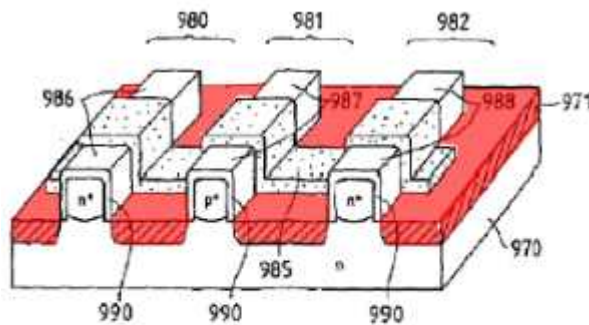
나아가 구성요소 2는 '나노크기의 Fin 폭을 가진 Fin액티브 영역'을 전제로 하는데,¹⁹⁾ 선행발명 2는 소자의 크기에 관하여 아무런 정보도 기재되어 있지 않다는 점에

19) 다만, '나노크기'를 '대략 100 nm 이하'로 해석하는 것은 아니다.

서도 차이가 있다(이하 '차이점 2'라고 한다).

다) 구성요소 3

구성요소 3은 "상기 벌크 실리콘 기판 표면에서 Fin액티브 영역의 일정 높이까지 형성된 제2산화막"이다. 선행발명 2는 도 21에서 '두꺼운 산화막(971)'을 개시하고 있으며, 이는 '실리콘 기판(970)'으로부터 '기판에 연결된 실리콘층'의 일정 높이까지 형성되어 있다.



[선행발명 2의 도 21]

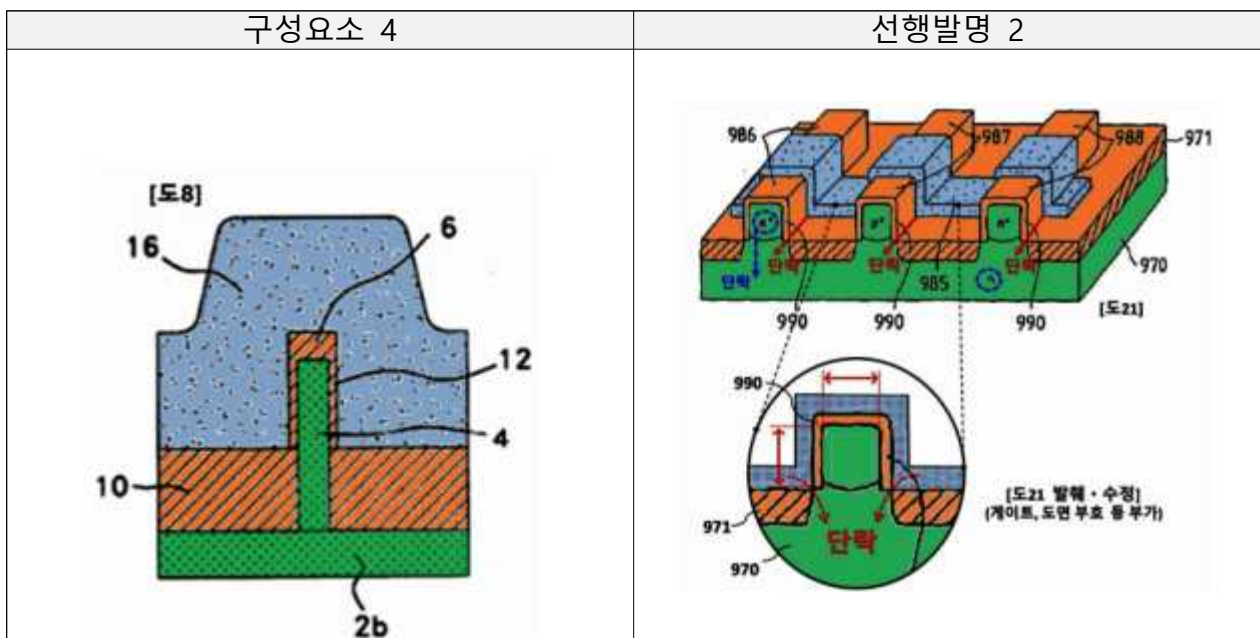
따라서 선행발명 2에서의 '벌크 실리콘 기판 표면에서 Fin 액티브 영역의 일정 높이까지 형성되어 있는 두꺼운 산화막(971)'은 구성요소 3과 동일하다.

라) 구성요소 4, 5

(1) 구성요소 4는 "상기 제2산화막 위의 Fin액티브 영역 양쪽 측벽에 형성된 게이트 산화막"이고, 구성요소 5는 "상기 Fin액티브 영역의 위쪽 표면에 게이트 산화막과 같거나 두껍게 형성된 제1산화막"이다.

이에 대응하여 선행발명 2의 도 21에는 '게이트 산화막(990)'이 돌출된 실리콘층 영역 양쪽 측벽 부분과 돌출된 실리콘층 영역의 위쪽 표면에 형성되어 있는 구성이 개시되어 있고, 이는 구성요소 4, 5와 실질적으로 동일하다.

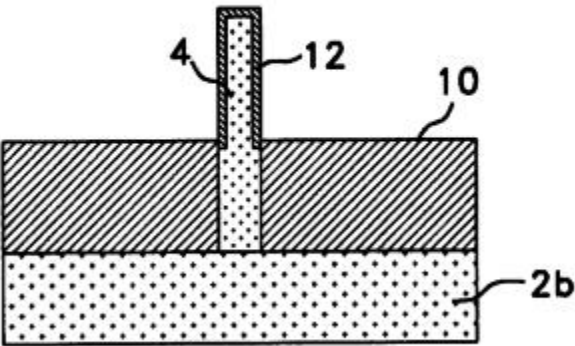
(2) 이에 대하여 피고는, 구성요소 4의 게이트 산화막(12)은 아래 좌측의 도 8과 같이 "제2산화막(10) 위"의 Fin액티브 영역(4)의 양쪽 측벽에 형성되는 것인 반면, 선행발명 2의 게이트 산화막(990)은 아래 우측의 도 21에 도시된 바와 같이 "제2산화막 위"가 아니라 "실리콘기판(970) 위"에 형성되어 있으므로 구성 4와 차이가 있다고 주장한다.



살피건대, 피고의 위 주장은 구성요소 4의 '게이트 산화막'이 "제2산화막 위"에 형성되어야 하는 것으로 해석함을 전제로 하는 것으로 보이나, 구성요소 4는 '게이트 산화막'의 형성 위치를 "Fin액티브 영역 양쪽 측벽"으로 한정하고 있을 뿐 "제2산화막 위"로 한정하고 있다고 해석하기 어렵다. 즉, 구성요소 4의 '상기 제2산화막 위의 Fin액티브 영역 양쪽 측벽에 형성된 게이트 산화막'에서 "상기 제2산화막 위"라는 부분은 'Fin액티브 영역'의 위치를 설명해주는 것이지 '게이트 산화막'의 형성 위치를 한정하는 취지가 아니다.²⁰⁾ 이 사건 특허발명의 명세서를 보더라도 아래와 같이 '제2산화막(10) 위

20) 참고로 이 사건 특허발명의 미국 대응특허(US 6,885,055 B2)의 이 부분 구성요소에 대응되는 표현인 "a gate oxide layer

로 돌출된 Fin액티브 영역(4)에 게이트 산화막(12)을 형성하였다'는 설명이 있는바(갑 제2호증 제6면 참조), 이와 관련한 도면을 보면 게이트 산화막(12)이 '제2산화막(10) 위'에 형성된 것이 아니라 '제2산화막(10) 옆'에 형성되어 있음을 알 수 있다.

이 사건 특허발명의 명세서(갑 제2호증), 제6면
결국 제2산화막(10) 위로 돌출된 Fin액티브 영역(4)의 높이는 5 nm에서 300 nm 사이가 된다. 도 9d에서는 형성된 Fin액티브 영역(4)에 게이트 산화막(12)을 0.5 nm에서 10 nm 사이의 두께로 성장한 단면을 나타낸다. 상기 게이트 산화막(12)을 형성하기 전에 돌출된 Fin액티브 영역(4)의 측벽을 깨끗이 하고 이전 공정에 의한 데미지(damage)를 제거하기 위해 희생 산화막을 성장하였다가 제거한 후, 질소나 아르곤 분위기에서 어닐링을 수행함이 바람직하다.
도면9d 

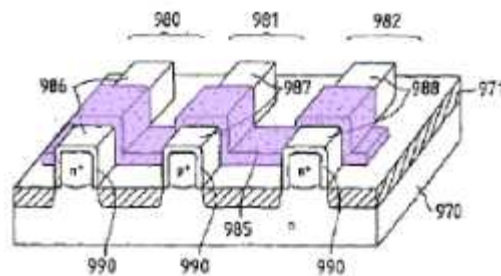
따라서 피고의 위 주장은 잘못된 청구범위 해석을 전제로 하는 것이므로 받아들일 수 없다[다만 선행발명 2가 구성요소 4의 '게이트 산화막'을 구비하고 있다고 하더라도, 선행발명 2의 게이트 산화막은 그 형성 위치에 비추어 볼 때 제2산화막과의 사이에 전

which is formed on both side-walls of the Fin active region from said seconde oxide layer"를 보면 더욱 그 의미를 명확하게 알 수 있다. 즉 위 구성요소의 의미는 '제2산화막으로부터 돌출된 Fin액티브 영역 양쪽 측벽에 형성된 게이트 산화막'이라는 뜻으로, 'Fin액티브 영역 양쪽 측벽(on both side-walls of the Fin active region)'에 '게이트 산화막'이 형성되어야 함을 한정하는 취지이지 '제2산화막 위(on said second oxide layer)'에 '게이트 산화막'이 형성되는 것을 한정하는 취지가 아니다.

기적인 단락(short circuit)이 발생하여 반도체 소자가 정상적으로 작동하기 어려울 가능성이 크다].

마) 구성요소 6

구성요소 6은 "상기 제1, 2산화막 위에 형성된 게이트"로 선행발명 2는 제3실시예의 도 21에서 '게이트 산화막(990)'과 '두꺼운 산화막(971)' 위에 형성된 '게이트 전극(985)'을 개시하고 있다.

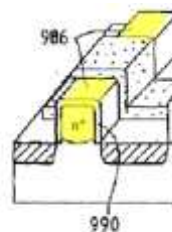


[선행발명 2의 도 21]

따라서 구성요소 6은 선행발명 2에 동일하게 개시되어 있다.

바) 구성요소 7

구성요소 7은 "상기 게이트와 접치는 Fin액티브 영역을 제외한 Fin액티브 영역 양쪽에 형성된 소스/드레인"이다. 선행발명 2는 아래와 같이 게이트 전극(985)과 접치는 돌출된 실리콘층을 제외한 양쪽에 형성된 소스/드레인(986)을 개시하고 있다.

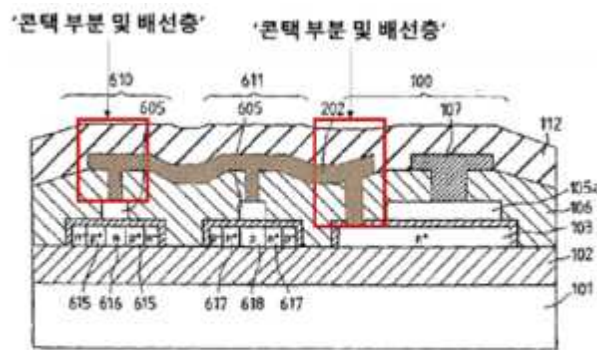


[선행발명 2의 도 21]

따라서 구성요소 7은 선행발명 2에 동일하게 개시되어 있다.

사) 구성요소 8

이 사건 제1항 발명의 구성요소 8은 "상기 소스, 드레인, 게이트의 콘택 부분에 형성된 콘택영역 및 금속층"이다. 선행발명 2는 도 21에 대한 설명에서 콘택 부분 및 배선층을 도시한 제3실시예(도 16)와 동일한 구조에 의해서 제공될 수 있다고 기재하고 있는바(갑 제5호증의 6면 후단 참조), 구성요소 8과 실질적으로 동일하다.



[선행발명 2의 도 16]

아) 구성요소 9

구성요소 9는 "이중-게이트 FinFET 소자"인데, 선행발명 2는 이중-게이트 트랜지스터를 개시하고 있다.

[선행발명 2의 6면 하단]

제21도는 이중 게이트 트랜지스터를 이용한 바람직한 실시예를 설명하는 사시도이다.

NMOS 및 PMOS 트랜지스터부와 캐패시터 소자부의 단면 구조는 산화막(941)이 없다는 것을 제외하고는 제18도 내지 제20도에 도시된 것과 실질적으로 동일하다는 점에 주목하여야 한다. 이들 예에서 전원 배선은 도시되지 않았지만, 제3실시예와 동일한 효과가 동일한 구조에 의하여 제공될 수 있다.

따라서 구성요소 9는 선행발명 2에 동일하게 개시되어 있다.

3) 차이점들에 대한 검토

이 사건 제1항 발명과 선행발명 2 사이에 존재하는 차이점들은 통상의 기술자가 쉽게 극복할 수 없다고 봄이 타당하다. 그 구체적인 이유는 아래와 같다.

가) 이 사건 제1항 발명은 담장 모양 Fin 구조를 통해 주된 채널이 양쪽 측벽이 되고 양쪽 게이트가 소자의 문턱전압을 동적으로 변화시켜 ON-OFF 특성을 개선하고 짧은 채널 효과를 억제하는 효과를 가진다. 나아가 이 사건 제1항 발명은 벌크 웨이퍼에 Fin액티브 영역을 설치하여 종래의 SOI FinFET이 가지는 '플로팅 바디 문제'를 해결하고 또한 '열전도'가 잘 되어 소자의 특성을 향상시키는 효과를 가지고 있다.

나) 한편, 선행발명 2는 "트랜지스터의 크기 축소"라는 지극히 일반적이고 추상적인 과제를 기재하고 있을 뿐, "게이트(채널) 길이를 25nm 이하까지 스케일링 다운하더라도 채널 ON-OFF 특성의 개선, 짧은 채널 효과의 억제가 가능한 전기적으로 안정된 구조"라는 이 사건 제1항 발명의 구체적인 과제를 인식하지 못하고 있다. 선행발명 2는 '병렬로 산술 연산을 수행할 수 있는 반도체 장치와, 이를 이용한 예를 들면 상관 산술 연산을 수행할 수 있는 연산 장치, A/D(아날로그/디지털) 또는 D/A(디지털/아날로그)로 신호를 변환하기 위한 신호 변환기, 신호 처리시스템에 관한 것'으로서(갑 제5호 증의 2면 26~28행 참조), 선행발명 2에서는 단순히 회로를 구성하는 인버터(204, 206)에 포함되는 전계효과 트랜지스터를 부품처럼 여러 유형으로 도시하고 있을 뿐(예컨대, 도 21의 MOS 트랜지스터), 개별 MOS 트랜지스터를 구성하는 구성요소와 기능에 관한 구체적 설명이 제시되어 있지 않다.

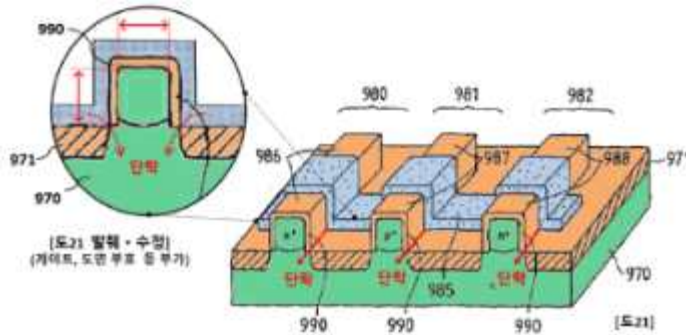
다) 이와 같이 선행발명 2는 도 21에 개시된 MOS 트랜지스터의 구체적인 구조나 크기, 작동 원리, 기술적 의의, 효과에 관하여 아무런 설명도 하고 있지 않는바, 선행발명

2를 접한 통상의 기술자가 위 트랜지스터 소자의 돌출된 실리콘층의 폭을 나노크기로 선택하고, 종횡비를 충분히 크게 변경하여 이 사건 제1항 발명에 이를 동기를 가지기는 어렵다.

라) 나아가 선행발명 2의 도 21에 개시된 트랜지스터는 상면 게이트의 제어력이 커지기 때문에 돌출된 실리콘층의 코너부 또는 윗면이 주된 채널이 되거나 양 측벽의 게이트가 채널을 완전히 제어하기 어려울 것으로 보인다. 또한 선행발명 2의 도 21을 살펴보면 아래 그림과 같이 게이트 산화막(990)이 실리콘 기판(970, 녹색 부분) 위에 형성되어 있고, 이 때 게이트 산화막(990)은 두꺼운 산화막(971)과 아주 얇은 선(line)을 통해서만 서로 접촉하고 있음을 확인할 수 있는데, 이와 같은 MOS 트랜지스터 구조에서는 게이트 전극(파란색 부분, 990)과 실리콘 기판(돌출된 실리콘층, 녹색 부분, 970)이 전기적으로 쉽게 단락(short circuit)되고 이에 따라 게이트 전극(990)에서 실리콘 기판(970) 방향으로 단락 전류가 흐르게 되면(아래 그림의 빨간색 점선 화살표 부분 참조), 도 21의 MOS 트랜지스터 소자의 전압전류 특성이 변하여 정상적인 트랜지스터로서의 기능을 수행할 수 없는 구조상 문제가 발생할 가능성이 있다.

[도면 삽입을 위한 여백]

선행발명 2의 [도 21](피고가 일부 내용을 편집한 그림)



마) 이러한 점을 고려하면, 통상의 기술자가 이 사건 제1항 발명과 같은 SOI FinFET의 한계를 극복하는 새로운 구조의 FinFET 소자를 발명하려고 할 때 이와 같이 구조적인 문제점이 있는 선행발명 2의 도 21의 MOS 트랜지스터 소자를 발명의 출발점으로 삼기는 어려울 것으로 보인다.

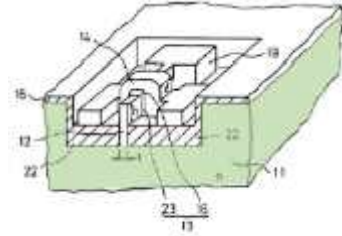
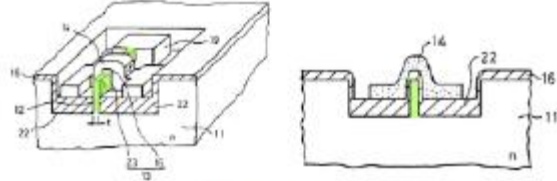
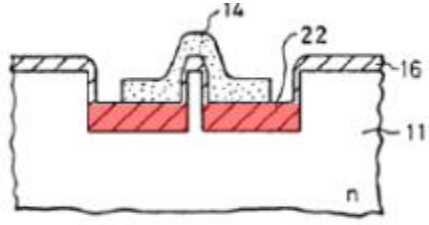
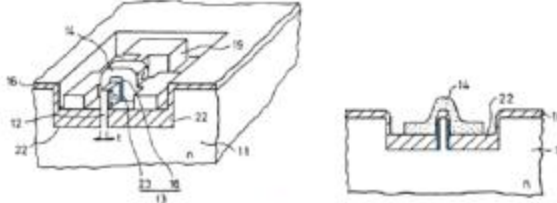
4) 검토결과와 정리

이상 검토 내용을 정리하면, 이 사건 제1항 발명은 선행발명 2에 의해 신규성 또는 진보성이 부정되지 않는다.

다. 선행발명 3에 의한 신규성 또는 진보성 부정 여부

1) 이 사건 제1항 발명과 선행발명 3의 구성 대비

구성 요소	이 사건 제1항 발명	선행발명 3(갑 제6호증)
구성 요소 1	벌크 실리콘기판과,	실리콘 웨이퍼 기판(11)(선행발명 3의 도면 1)

		 [도 1]
구성 요소 2	상기 벌크 실리콘기판에 연결되고 벌크 실리콘기판 상부 가운데에 단결정 실리콘으로 형성된 담장 모양의 Fin액티브 영역과	직방체형 부분(12) (선행발명 3의 도면 1, 2e)  [도 1 및 2e]
구성 요소 3	상기 벌크 실리콘기판 표면에서 Fin액티브 영역의 일정 높이까지 형성된 제2산화막과,	SiO ₂ 막(22) (선행발명 3의 도면 1, 2e)  [도 2e]
구성 요소 4	상기 제2산화막 위의 Fin액티브 영역 양쪽 측벽에 형성된 게이트 산화막과,	얇은 SiO ₂ 막(23) (선행발명 3의 도면 1, 2e)  [도 1 및 도 2e]
구성 요소 5	상기 Fin액티브 영역의 위쪽 표면에 게이트 산화막과 같거나 두껍게 형성된 제1산화막과,	SiO ₂ 막(16) (선행발명 3의 번역문 3면, 도면 1, 2e)

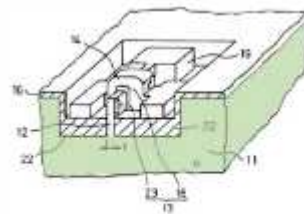
9	동작하는 MOSFET
---	-------------

2) 공통점 및 차이점

피고는 구성요소 2, 3과 선행발명 3의 대응구성이 차이가 있다고 다투고 있을 뿐, 그 외의 다른 구성요소들에 대하여는 명시적으로 다투지 않고 있다.

가) 구성요소 1

이 사건 제1항 발명의 구성요소 1의 '벌크 실리콘 기판은 선행발명 3의 '실리콘 웨이퍼 기판(11)'과 서로 동일하다.



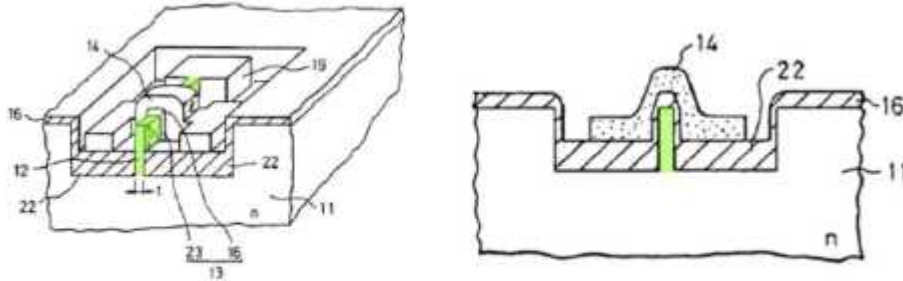
[선행발명 3의 도 11]

나) 구성요소 2

(1) 구성요소 2는 "상기 벌크 실리콘 기판에 연결되고 벌크 실리콘 기판 상부 가운데에 단 결정 실리콘으로 형성된 담장 모양의 Fin액티브 영역"이다.

선행발명 3은 '실리콘 웨이퍼 기판(11)의 일부를 이용하여 형성된 직방체형 반도체 부분(12)'을 개시하고 있다(갑 제6호증의 전문 번역문 2면의 "일반적인 MOSFET이라면, 직방체형 반도체 부분이 실리콘 웨이퍼 기판의 일부인 것은 바람직하고" 라는 기재 및 도 1 및 도 2e 참조). 위 직방체형 반도체 부분의 폭은 나노크기의 폭을 가지고, 높이와 폭의 종횡비가 충분히 큰 종횡비를 가지므로²¹⁾ '담장 모양'에 해당한다고 볼 수 있

다. 따라서 구성요소 2와 선행발명 3의 대응구성은 실질적으로 동일하다.



[선행발명 3의 도 1 및 2e]

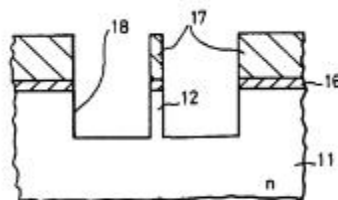
(2) 이에 대하여 피고는, 선행발명 3의 돌기형 부분이 '덤벨(아령) 모양'의 형태인데, 이는 이 사건 특허의 '담장 모양의 Fin액티브 영역'과 상이한 구성이라는 취지로 주장한다.

그러나 다음과 같은 이유로 피고의 주장은 받아들일 수 없다.

① 앞서 살펴본 바와 같이 구성요소 2의 '담장 모양의 Fin액티브 영역'은 폭이 일정하거나 하부로 갈수록 넓어지는 형태로 한정되지 않으며, 선행발명 3의 대응구성과 같이 담장 모양의 채널 영역의 양단에 폭이 넓은 패드 부분(19, 20)이 형성된 소위 덤벨 모양을 가지는 구성도 포함될 수 있다.

② F가 발명자로 기재된 다수의 FinFET 관련 특허들에서도 'Fin 폭이 일정하지 않고

21) 선행발명 3에는 '직방체형 반도체 부분(12)은 그 폭(두께)이 높이보다 작고, 예컨대 도 2b에서 폭이 0.1 μm , 높이(홈 깊이)가 1 μm 이다'라고 기재되어 있다(갑 제6호증 번역문 제3면 참조).

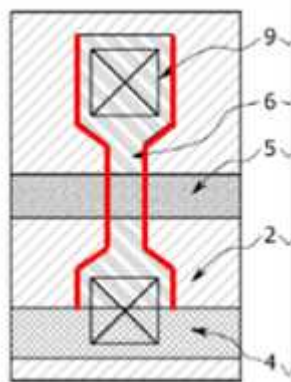


第 2b 図

소스/드레인 영역을 형성하는 양단에서 폭이 좁아지거나 넓어지는 형상'을 모두 '담장 모양'이라고 지칭하고 있다(갑 제47호증 및 제49호증 참조).

갑 제47호증(국내공개특허공보 제10-2007-0022977호)의 도 6 및 명세서 기재

도 6은 본 발명에서 제안한 웰 구조를 적용한 MOS 소자의 평면도를 나타낸 것으로서, 기본적으로 도 5의 (a), (b), (c)와 같은 단위소자에 대한 레이아웃을 나타낸 것이다. 도 5와의 차이점은 금속배선과의 접촉을 위한 소스/드레인 활성(액티브) 영역의 폭이 게이트 전극 근처의 채널이 형성되는 바디의 폭 보다 크게 형성하여 원활한 저항성 접촉을 할 수 있도록 하는 것이다.



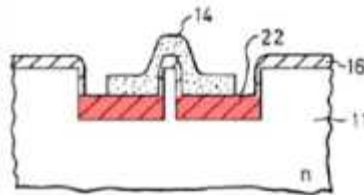
갑 제49호증(국내등록특허공보 제10-0748261호)의 15면 3번째 단락

전술한 제1, 제2, 제3 및 제4 특징을 갖는 Fin 전계효과 트랜지스터에 있어서, 담장형 바디의 폭은 채널길이방향으로 균일하게 형성되도록 하거나, 또는 게이트 전극과 교차하는 영역을 제외한 소스/드레인이 형성되는 영역의 담장형 바디의 폭은 게이트 전극과 교차하는 영역의 담장형 바디의 폭 보다 넓거나 좁게 형성할 수 있다. 특히, 소스/드레인이 형성되는 영역의 담장형 바디의 폭을 게이트 전극과 교차되는 영역의 담장형 바디의 폭보다 넓게 형성한 경우, 소스/드레인 저항을 줄일 수 있다.

다) 구성요소 3

(1) 구성요소 3은 "상기 벌크 실리콘 기판 표면에서 Fin액티브 영역의 일정 높이까지 형성된 제2산화막"이다. 선행발명 3은 도 1에서 실리콘 웨이퍼 기판(11) 위에 형성되는

산화막인 SiO_2 막(22)을 개시하고 있으며, SiO_2 막(22)은 직방체형 반도체 부분(12)의 일정 높이까지 형성되어 있다.



[선행발명 3의 도 1]

따라서 구성요소 3은 선행발명 3에 동일하게 개시되어 있다.

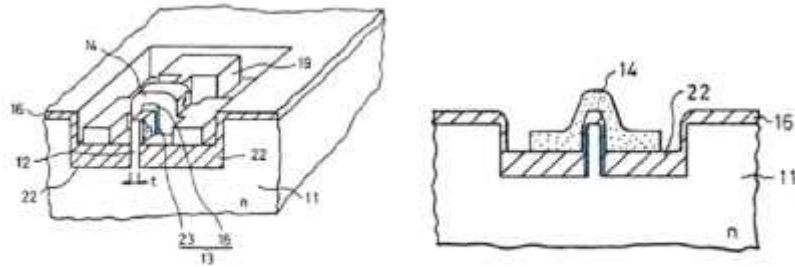
(2) 이에 대하여 피고는, 선행발명 3의 '실리콘 웨이퍼 기판(11) 위에 형성되는 산화막인 SiO_2 막(22)'은 '덤벨 모양 돌기형 부분'에 맞닿아 형성되어 있다는 점에서 '담장 모양 Fin액티브 영역'의 일정 높이까지 형성된 구성요소 3의 '제2 산화막'과 차이가 있다고 주장한다.

그러나 피고의 위 주장은 선행발명 3의 '덤벨 모양의 돌기형 부분'이 구성요소 2의 '담장 모양 Fin액티브 영역'에 해당하지 않음을 전제로 하는 것인데, 앞서 본 바와 같이 '덤벨 모양의 돌기형 부분'이 '담장 모양 Fin액티브 영역'에 해당하는 이상 피고의 위 주장은 이유 없다.

라) 구성요소 4

구성요소 4는 "상기 제2산화막 위의 Fin액티브 영역 양쪽 측벽에 형성된 게이트 산화막"이다.

선행발명 3은 도 1 및 도 2e 등에서 게이트 산화막인 얇은 SiO_2 막(23)을 형성하는 구성을 개시하고 있다.

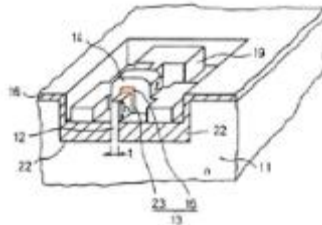


[선행발명 3의 도 1 및 도 2e]

따라서 구성요소 4는 선행발명 3에 동일하게 개시되어 있다.

마) 구성요소 5

구성요소 5는 "상기 Fin액티브 영역의 위쪽 표면에 게이트 산화막과 같거나 두껍게 형성된 제1산화막"이다. 선행발명 3은 도 1 및 도 2e 등에서 직방체형 반도체 부분 (12)의 위쪽 표면에 SiO₂막(16)이 형성되고, SiO₂막(16)의 두께는 0.2 μ m(즉, 200nm)로서, 40nm의 두께로 형성되는 얇은 SiO₂막(23)보다 더 두꺼운 구성을 개시하고 있다.



[선행발명 3의 도 1 및 도 2e]

[선행발명 3의 번역문 3면 중 일부 발취]

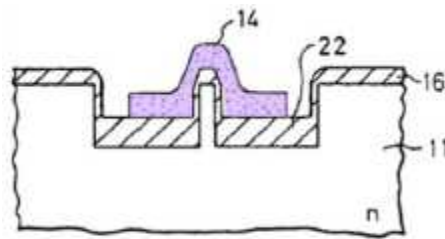
우선 n형 실리콘 웨이퍼 기판(11)을 준비하고, 도 2a에 도시한 바와 같이 열 산화법(또는 CVD법)으로 SiO₂막(16)(두께:0.2 μ m)을 웨이퍼 기판(11) 상에 형성한다. SiO₂막(16) 상에 레지스트를 도포하고, 노광·현상하여 소정 패턴의 레지스트층(17)을 형성한다. (중략)

열 산화법에 의해 표출 실리콘을 산화하여 게이트 산화막이기도 한 얇은 SiO₂막(23)(두께:40nm)을 수직인 돌기형 부분 및 홈의 측면 상에 형성한다(도 2d). CVD법에 의해 폴리실리콘층(두께=0.4 μ m)(14)을 전면에서 형성한다. 이 폴리실리콘층(14)에 N형 불순물(인)을 확산시켜 n형 폴리실리콘층으로 해 둔다.

따라서 구성요소 5는 선행발명 3에 동일하게 개시되어 있다.

바) 구성요소 6

구성요소 6은 "상기 제1, 2산화막 위에 형성된 게이트"로, 선행발명 3은 SiO₂막(16)과 SiO₂막(22) 위에 형성된 게이트 전극(14)을 개시한다.

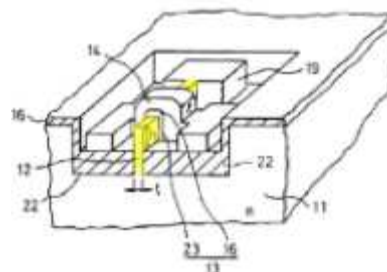


[선행발명 3의 도 2e]

따라서 구성요소 6은 선행발명 3에 동일하게 개시되어 있다.

사) 구성요소 7

구성요소 7은 "상기 게이트와 겹치는 Fin액티브 영역을 제외한 Fin액티브 영역 양쪽에 형성된 소스/드레인"이다. 선행발명 3은 아래와 같이 직방체형 반도체 부분(12)을 소스 영역, 드레인 영역 및 채널 영역으로 하며, 채널 영역에 대응하는 절연막 상에 게이트 전극(14)이 설치되고, 게이트 전극의 양측이 소스 영역 및 드레인 영역이 된다고 개시하고 있다. 따라서 구성요소 7은 선행발명 2에 동일하게 개시되어 있다.



[선행발명 3의 도 1]

[선행발명 3의 번역문 3, 4면 중 일부 발췌]

도 1에 도시한 MOSFET을 P채널 MOS 트랜지스터로서, n형 실리콘(Si) 웨이퍼 기판(11)의 일부를 그 높이가 폭보다 큰 직방체형 반도체 부분(12)로 하고, 이 부분을 소스 영역, 드레인 영역 및 채널 영역으로 하며, 또한 채널 영역에 대응하는 절연막(13) 상에 게이트 전극(14)이 설치되어 있다. 본 발명에 따라 직방체형 반도체 부분(12)의 측면은 웨이퍼 기판(11)의 평면에 (중략)

레지스트층을 남긴 채로 이온 주입법으로 P형 불순물(보론)을 직방체형 부분(12)와 패드상 부분(19, 20)의 실리콘에 도프하여 P+ 영역을 형성한다. 레지스트 제거 후에 어닐링 열처리를 하여 이들 P+ 영역이 게이트 전극의 양측에서 소스 영역 및 드레인 영역이 되고, 게이트 전극에 덮여 도프되지 않은 직방체형 부분(12)의 일부분이 채널 영역이 된다.

아) 구성요소 8

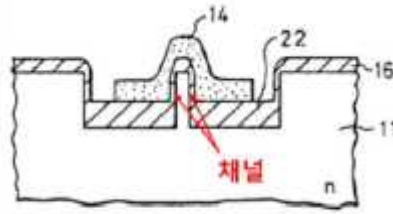
이 사건 제1항 발명의 구성요소 8은 "상기 소스, 드레인, 게이트의 콘택 부분에 형성된 콘택영역 및 금속층"이다. 선행발명 3은 배선이 게이트 전극(14)의 패드 부분과 소스, 드레인의 패드상 부분(19, 20)에 접촉되어 형성되는 구성을 개시한다. 따라서 구성요소 8은 선행발명 3에 동일하게 개시되어 있다.

[선행발명 3의 번역문 4면 중 일부 발췌]

그리고 소정의 배선(알루미늄 배선, 미도시)을 게이트 전극(14)의 패드 부분, 패드상 부분(19, 20)에 접촉시켜 통상의 방법으로 형성하게 된다. 배선 형성 전에 홈을 매립하는 평탄화 방책을 실시하는 것이 바람직하다.

자) 구성요소 9

구성요소 9는 "이중-게이트 FinFET 소자"인데, 선행발명 3은 도 1의 직방체형 반도체 부분(12)의 측면에 형성된 얇은 SiO₂막(16)이 이중 게이트로 동작하는 MOSFET을 개시하고 있다.



[선행발명 3의 도 2e]

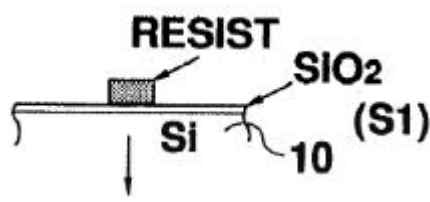
따라서 구성요소 9는 선행발명 3에 동일하게 개시되어 있다.

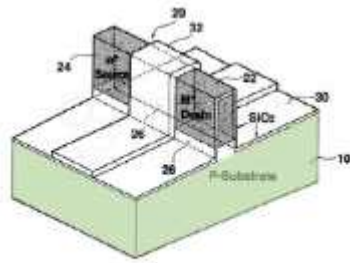
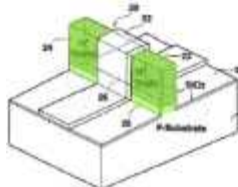
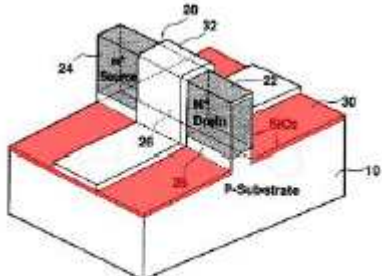
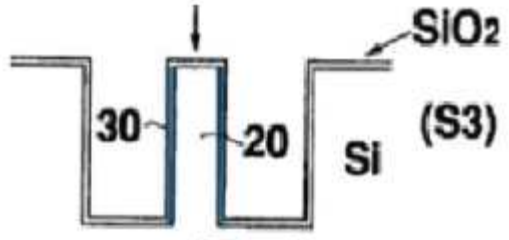
3) 검토결과와 정리

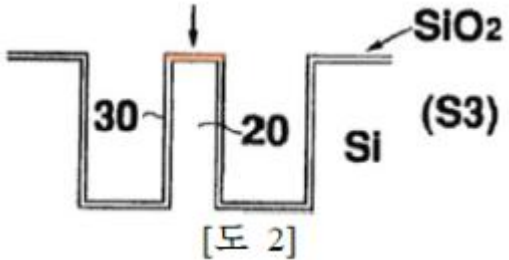
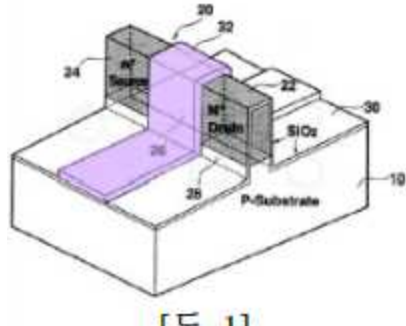
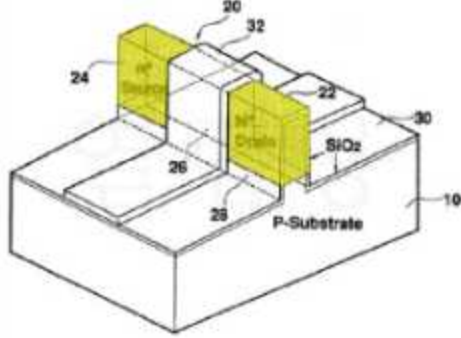
이상 검토 내용을 정리하면, 이 사건 제1항 발명의 구성요소 1 내지 9는 선행발명 3에 모두 개시되어 있는바, 이 사건 제1항 발명은 선행발명 3에 의하여 신규성이 부정된다(설령 이 사건 제1항 발명과 선행발명 3의 대응구성이 일부 차이가 있더라도 이는 통상의 기술자가 선행발명 3으로부터 쉽게 극복할 수 있는 것에 불과하므로, 이 경우 이 사건 제1항 발명은 선행발명 3에 의하여 진보성이 부정될 수 있다).

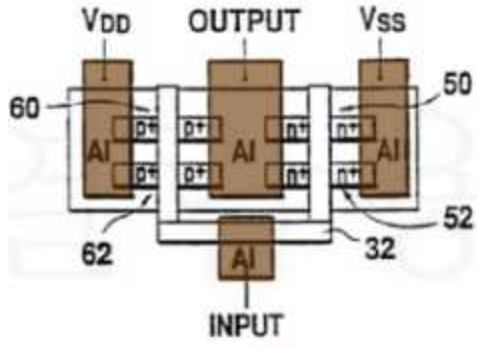
라. 선행발명 8에 의한 신규성 또는 진보성 부정 여부

1) 이 사건 제1항 발명과 선행발명 8의 구성 대비

구성 요소	이 사건 제1항 발명	선행발명 8(갑 제15호증)
구성 요소 1	벌크 실리콘기판과,	p형 실리콘 기판(10), 실리콘 단결정으로 이루어진 기판(10) (선행발명 8의 4열의 64행, 5열의 56, 57행, 도면 1, 2)  [도 2]

		 [도 1]
구성 요소 2	상기 벌크 실리콘기판에 연결되고 벌크 실리콘기판 상부 가운데에 단결정 실리콘으로 형성된 담장 모양의 Fin액티브 영역과	돌출부(20) (선행발명 8의 4열의 61행~64행, 도면 1, 2)  [도 1 및 도 2]
구성 요소 3	상기 벌크 실리콘기판 표면에서 Fin액티브 영역의 일정 높이까지 형성된 제2산화막과,	기판(10) 표면에 형성되어 있는 산화막(30) (선행발명 8의 도면 1)  [도 1]
구성 요소 4	상기 제2산화막 위의 Fin액티브 영역 양쪽 측벽에 형성된 게이트 산화막과,	돌출부(20) 양쪽 측벽에 형성되어 게이트 산화막으로 기능하는 산화막(30) (선행발명 8의 5열 6행~10행, 도면 2)  [도 2]

구성 요소 5	상기 Fin액티브 영역의 위쪽 표면에 게이트 산화막과 같거나 두껍게 형성된 제1산화막과,	돌출부(20) 위쪽 표면에 형성되어 있는 산화막(30) (선행발명 8의 5열 6행~10행, 도면 2) 
구성 요소 6	상기 제1,2산화막 위에 형성된 게이트와,	게이트 전극(32) (선행발명 8의 도면 1) 
구성 요소 7	상기 게이트와 겹치는 Fin액티브 영역을 제외한 Fin액티브 영역 양쪽에 형성된 소스/드레인과,	소스(24)/드레인(22) (선행발명 8의 4열 64행~5열 1행, 도면 1) 
구성 요소 8	상기 소스, 드레인, 게이트의 콘택 부분에 형성된 콘택영역 및 금속층을	소스, 드레인, 게이트의 콘택 부분에 금속층(알루미늄, Al)을 이용하여 inverter 회로를 형성하는 구성(선행발명 8의 도 13B)

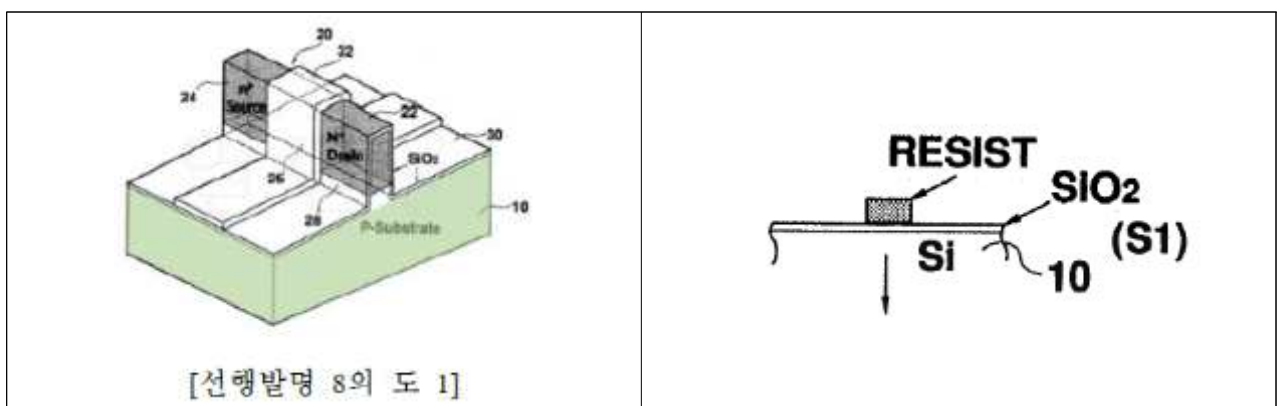
		 [도 13B]
구성 요소 9	포함하는 이중-게이트 FinFET 소자	삼중-게이트 FinFET 소자

2) 공통점 및 차이점

피고는 구성요소 3과 선행발명 8의 대응구성이 차이가 있다고 다투고 있을 뿐, 그 외의 다른 구성요소들에 대하여는 명시적으로 다투지 않고 있다.

가) 구성요소 1

이 사건 제1항 발명의 구성요소 1의 '벌크 실리콘 기판'은 선행발명 1의 'p형 실리콘 기판(10)' 혹은 '실리콘 단결정으로 이루어진 기판(10)'과 서로 동일하다.



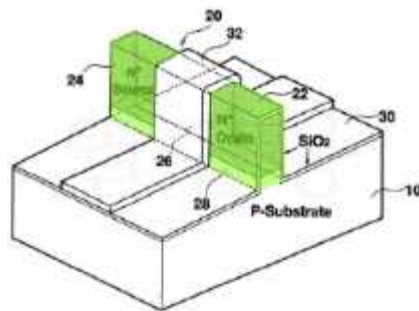
나) 구성요소 2

구성요소 2는 "상기 벌크 실리콘 기판에 연결되고 벌크 실리콘 기판 상부 가운데에

단 결정 실리콘으로 형성된 담장 모양의 Fin액티브 영역"이다.

선행발명 8도 아래와 같이 기판(10) 상에 형성된 돌출부(20)가 기판(10)과 연결되어 있고 담장 모양을 형성하고 있는바,²²⁾ 양 구성은 서로 동일하다.

[선행발명 8(갑 제15호증)의 도 1]



[선행발명 8(갑 제15호증)의 제5열 제27행 내지 제36행]

FIG. 1 is a perspective view for illustrating the structure of a semiconductor device according to a first embodiment of the invention, wherein a projection 20 is formed in the top of a p-type silicon substrate 10. An

[선행발명 8 제4열 제61행 내지 제64행 번역문] 도 1은 본 발명의 제1 실시예에 따른 반도체 장치의 구조를 설명하기 위한 사시도로서, p형 실리콘 기판(10)의 상부에 돌출부(20)가 형성되어 있다.

다) 구성요소 3, 4 및 5

(1) 구성요소 3은 "상기 벌크 실리콘 기판 표면에서 Fin액티브 영역의 일정 높이까지 형성된 제2산화막"이고, 구성요소 4는 "상기 제2산화막 위의 Fin액티브 영역 양쪽 측벽에 형성된 게이트 산화막"이며, 구성 5는 "상기 Fin액티브 영역의 위쪽 표면에 게이트 산화막과 같거나 두껍게 형성된 제1산화막"이다.

선행발명 8에는 기판(10) 표면에 형성되어 있는 산화막(30)(선행발명 8의 도면 1 참

22) 선행발명 8의 돌출부(10)의 폭은 나노크기(0.1 μm)이고, 충분히 큰 종횡비를 가지고 있다.

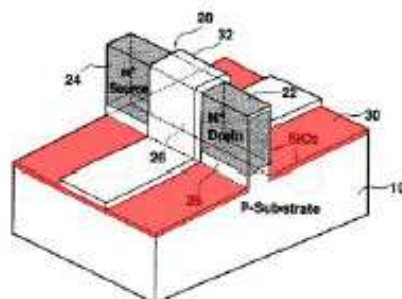
조), 돌출부(20) 양쪽 측벽에 형성되어 게이트 산화막으로 기능하는 산화막(30)(선행발명 8의 5열 6행~10행, 도면 2 참조) 및 돌출부(20) 위쪽 표면에 형성되어 있는 산화막(30)(선행발명 8의 5열 6행~10행, 도면 2 참조)이 개시되어 있는바, 이는 구성요소 3, 4, 5와 실질적으로 동일하다.

(2) 이에 대하여 피고는, 선행발명 8의 산화막(30)은 게이트 산화막과 같은 두께로 얇게 형성된 절연막으로 이 사건 제1항 발명의 구성요소 3과 같이 기판 표면으로부터 소자분리를 위해 일정한 높이까지 형성된 산화막이 아니므로 구성요소 3과 차이가 있다고 주장한다.

그러나 다음과 같은 이유로 피고의 위 주장은 받아들일 수 없다.

(가) 구성요소 3은 "벌크 실리콘 기판 표면에서 Fin액티브 영역의 일정 높이까지 형성된 제2 산화막"인데, 위 "일정 높이"를 특정한 수치 이상의 높이로 한정하여 해석할 근거가 없다.

(나) 선행발명 8의 도 1의 '기판(10) 표면에 형성되어 있는 산화막(30)'의 구조를 살펴보면 선행발명 8은 "벌크 실리콘 기판 표면에서 Fin액티브 영역의 일정 높이까지 형성된 제2산화막"을 그대로 개시하고 있음을 알 수 있다.

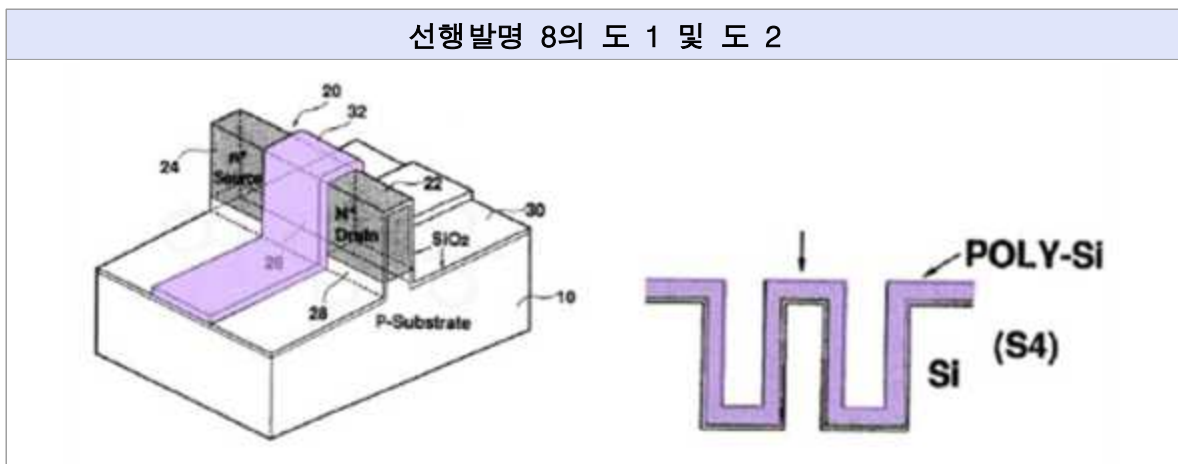


[도 1]

(다) 나아가 선행발명 8의 '산화막(30)'도 전기적으로 부도체인바, 산화막의 두께가 얇다고 하더라도 인접한 다른 반도체 소자와 전기적으로 분리시키는 '소자분리기능'을 수행할 수 있다.

라) 구성요소 6

구성요소 6은 "상기 제1, 2산화막 위에 형성된 게이트"인데, 이는 선행발명 8에서 산화막(SiO₂) 위에 게이트 전극(32)이 형성된 구성과 동일하다.

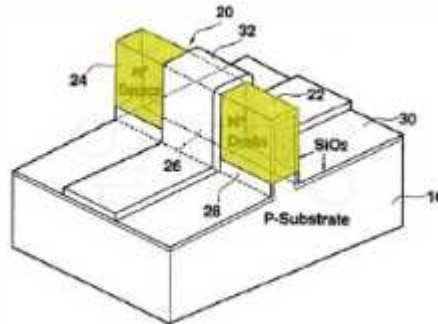


마) 구성요소 7

구성요소 7은 "상기 게이트와 겹치는 Fin액티브 영역을 제외한 Fin액티브 영역 양쪽에 형성된 소스/드레인"이다. 선행발명 8에서도 도 3a에 도시된 바와 같이 게이트전극(26)과 겹치는 돌출부(20), 즉 채널영역(26)을 제외한 돌출부 양측에 소오스 전극(24) 및 드레인 전극(22)이 형성됨을 확인할 수 있다. 따라서 구성요소 7은 선행발명 8에 동일하게 개시되어 있다.

[도면 삽입을 위한 여백]

[선행발명 8(갑 제15호증)의 도 1]



[선행발명 8 제4열 제64행 내지 제5열 제1행]

formed in the top of a p-type silicon substrate 10. An n⁺-type drain region 22 and an n⁺-type source region 24 are formed in both sides of the projection 20 and a p-type channel region 26 of the same polarity as the substrate 10 is formed in an area put between the drain region 22 and the source region 24. The lower ends of

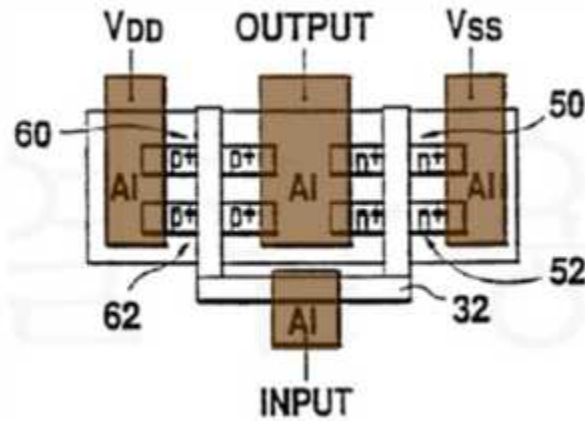
[번역문] 돌출부(20)의 양쪽에 n+형 드레인 영역(22)과 n+형 소스 영역(24)이 형성되며, 기판(10)과 동일한 극성의 p형 채널 영역(26)이 드레인 영역(22)과 소스 영역(24) 사이의 영역에 형성된다.

바) 구성요소 8

이 사건 제1항 발명의 구성요소 8은 "상기 소스, 드레인, 게이트의 콘택 부분에 형성된 콘택영역 및 금속층"이다. 선행발명 8의 도 13B는 소스, 드레인, 게이트의 콘택 부분에 금속층(알루미늄, Al)을 이용하여 inverter 회로를 형성하는 구성을 개시하므로 양 구성은 동일하다.

[도면 삽입을 위한 여백]

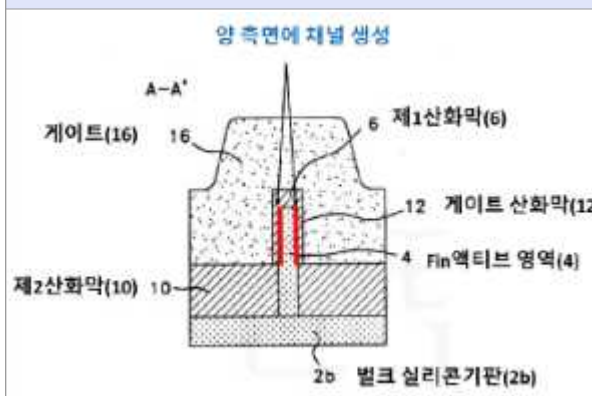
선행발명 8의 도 13B



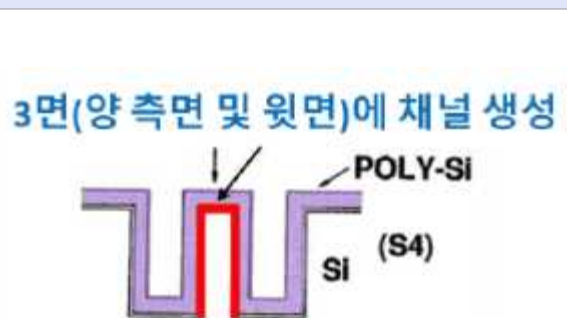
사) 구성요소 9

구성요소 9는 "이중-게이트 FinFET 소자"인데, 선행발명 8은 윗면에도 채널이 형성되는 삼중-게이트 FinFET 소자로 보인다.

이 사건 특허발명의 도 7



선행발명 8의 도 2



한편, 이 사건 제1항 발명의 "이중-게이트 FinFET 소자"라는 것은 채널의 양 측면에 형성된 게이트가 주된 게이트로서 작동하는 소자를 의미할 뿐, 위와 같이 양 측면 게이트가 주된 게이트로 작동하면서 채널의 상면에 게이트가 추가로 형성된 삼중-게이트 구조를 배제하는 것으로 해석되지 않으므로, 선행발명 8의 삼중-게이트 FinFET 소자

는 구성요소 9의 "이중-게이트 FinFET 소자"와 실질적으로 동일하다.

3) 검토결과 정리

이상 검토 내용을 정리하면, 이 사건 제1항 발명의 구성요소 1 내지 9는 선행발명 8에 모두 개시되어 있는바, 이 사건 제1항 발명은 선행발명 8에 의하여 신규성이 부정된다(설령 이 사건 제1항 발명과 선행발명 8의 대응구성이 일부 차이가 있더라도 이는 통상의 기술자가 선행발명 8로부터 쉽게 극복할 수 있는 것에 불과하므로, 이 경우 이 사건 제1항 발명은 선행발명 8에 의하여 진보성이 부정될 수 있다).

마. 소결

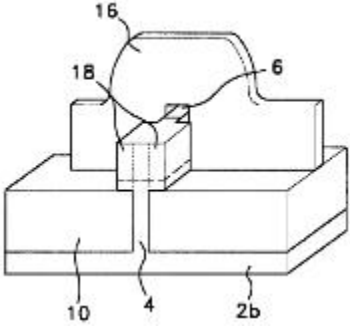
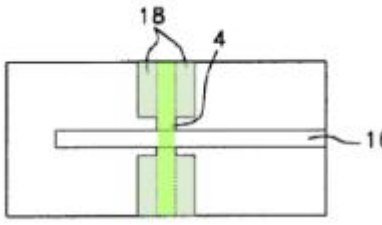
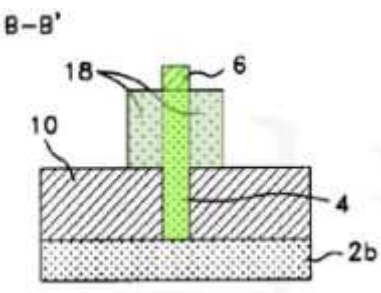
앞서 본 바와 같이 이 사건 제1항 발명은 선행발명 1, 3, 8에 의해 신규성 또는 진보성이 부정되므로, 이 사건 심결 중 이 사건 제1항 발명에 관한 부분은 이와 결론을 달리 하여 위법하다.

6. 이 사건 제8항 발명의 신규성 또는 진보성 부정 여부에 관한 판단

가. 선행발명 1과 선행발명 4와의 결합에 의한 진보성 부정 여부

1) 이 사건 제8항 발명은 이 사건 제1항 발명의 종속항 발명으로 '상기 소스/드레인은 게이트와 겹치는 Fin액티브 영역을 제외한 Fin액티브 영역 양쪽에, 게이트와 자기정렬 형태로 기생저항을 줄이기 위해 형성된 선택적 에피층(18)을 성장한 것임(구성요소 10)'을 특징으로 하는 발명이다.

이 사건 제8항 발명
청구항 1에 있어서, 상기 소스/드레인은 게이트와 겹치는 Fin액티브 영역을 제외한 Fin액티브 영역 양쪽에, 게이트와 자기정렬 형태로 기생저항을 줄이기 위해 형성된 선택적 에피층(18) 을 성장한 것임을 특징으로 하는 이중-게이트 FinFET 소자.

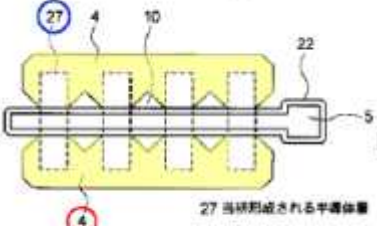
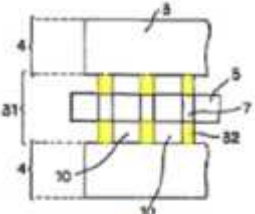
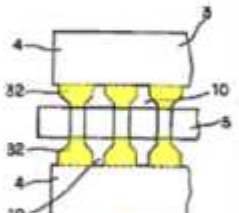
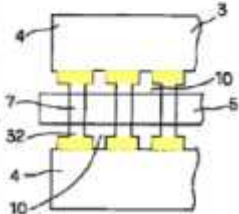
 2b: 벌크 실리콘 기판, 4: Fin 액티브 영역, 6: 제1산화막, 10: 제2산화막, 16: 게이트, 18: 선택적 에피층	 4: Fin 액티브 영역, 16: 게이트, 18: 선택적 에피층	 2b: 벌크 실리콘 기판, 4: Fin 액티브 영역, 6: 제1산화막, 10: 제2산화막, 18: 선택적 에피층
이 사건 특허의 [도 5a]	이 사건 특허의 [도 5b]	이 사건 특허의 [도 8]

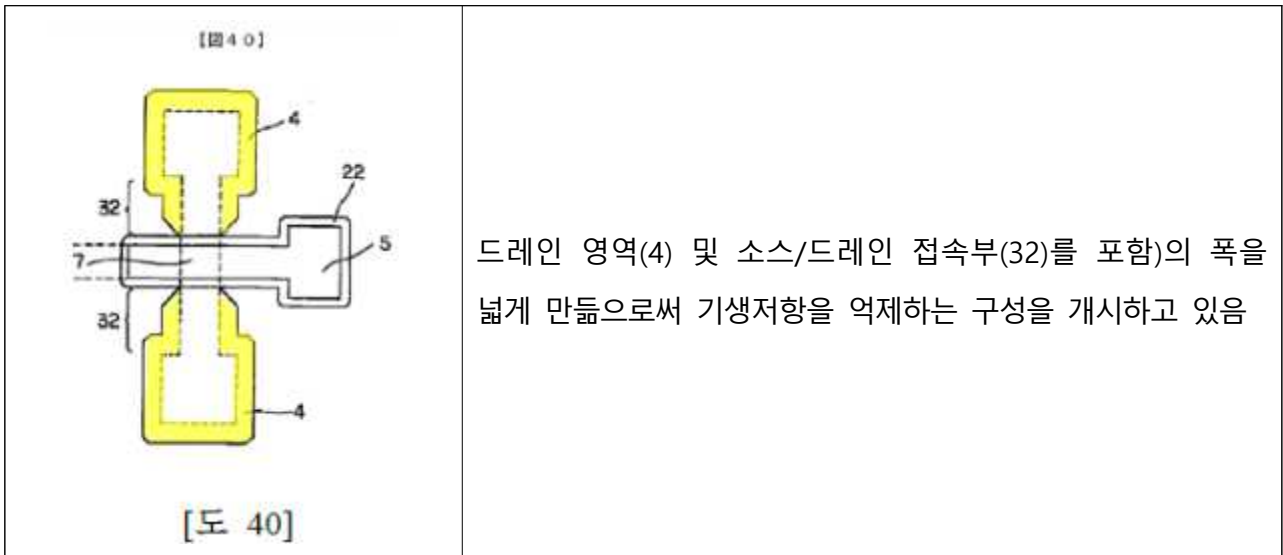
2) 이 사건 제1항 발명이 선행발명 1에 의하여 신규성 또는 진보성이 부정됨은 앞서 본 바와 같다. 따라서 이 사건 제8항 발명의 진보성 부정 여부와 관련하여, ① 이 사건 제8항 발명의 추가한정 구성인 구성요소 10이 선행발명 4에 개시되어 있는지 여부 및 ② 선행발명 4를 선행발명 1에 결합하는 것이 통상의 기술자에게 용이한지 여부만을 살피기로 한다.

3) 이 사건 제8항 발명의 추가한정 구성인 구성요소 10이 선행발명 4에 개시되어 있는지 여부

가) 선행발명 4의 명세서 식별번호 [105], [149], [215], [223] 및 도면 32, 33, 34, 40, 66을 살펴보면, 선행발명 4는 이 사건 제8항 발명과 마찬가지로 종형 전계 효과형 트랜지스터(SOI FinFET과 벌크 실리콘 FinFET이 포함됨)에 있어 게이트와 겹치는 Fin 액티브 영역을 제외한 Fin액티브 영역 양쪽('소스/드레인 접속부'의 측면)에 대하여, 기생저항을 억제하기 위해 선택적 에피택셜 성장을 수행하는 구성을 개시하고 있음을 확

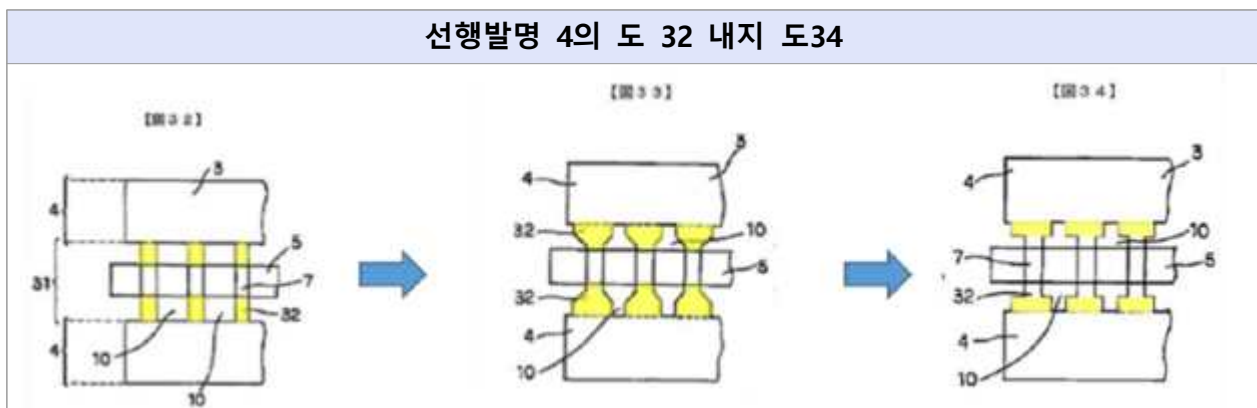
인할 수 있다.

선행발명 4	
선택적 에피택셜 성장 이전의 소스/드레인(27)  27 当該形成される半導体層 선택적 에피택셜 성장 이후의 소스/드레인(4) 【도 66】 【図 32】  【図 33】  【図 34】  【도 32 내지 34】	[명세서 각 단락 기재] 【0105】(중략) 개구부 10의 배열 방향에서의 소스/드레인 접속부 32의 폭을 소스/드레인 영역 4와 접하는 부분에서는 크게 함으로써 기생저항 억제 작용을 얻을 수 있고, 상술한 제3 과제를 억제할 수 있다. 【0149】(중략) 또한 소스/드레인 영역에 대해서 기생저항 감소를 위해 반도체의 에피택셜 성장, 다결정 또는 아모퍼스 반도체의 선택 성장을 실시해도 좋고 또한 실리사이드화를 수행해도 좋다. 【0215】(실시예 6) 개구부에 PSG막을 설치하는 것이 아니라, 실시예 4 방법에 따라 게이트 전극 5 또는 더미 게이트 전극 11에 절연막 측벽(게이트 사이드 월)을 설치한 후에 선택 에피택셜 성장에 의해 채널 타입과 같은 도전형 불순물을 고농도로 포함한 반도체(Si, 실리콘-게르마늄 혼정 등)를 소스/드레인 접속부의 측면에 성장시키면, 도 33, 도 70에 나타내는 형상의 소스/드레인 접속부를 얻을 수 있다. 【0223】실시예 6 제조 방법을 이용할 경우, 당초 반도체층에 마련하는 개구부의 형상은 도 32와 같이 직사각형으로 하고, 게이트 전극 5(또는 더미 게이트 전극 11)를 형성 후, 소스/드레인 접속부 32에 반도체층의 선택 성장을 함으로써, 소스/드레인 접속부 32의 폭이 채널 형성 영역 7 측에서는 좁고 소스/드레인 영역 4 측에서는 넓고 그 사이에서는 소스/드레인 접속부 32의 폭이 연속적, 또는 단계적으로 변화하는 형상(도 33, 도 34)을 얻을 수 있다.
	선행발명 4는 에피택셜 성장을 이용하여 소스/드레인(소스/



나) 한편 피고는 선행발명 4의 '에피택설'은 도 16의 도면에서와 같이 수평형 소스/드레인 영역(4)에 성장되는 것으로, 이 사건 특허의 담장 모양 Fin액티브 영역의 양쪽에서 성장되는 에피층과 전혀 다른 구성이라고 주장한다.

살피건대, 선행발명 4의 도 32 내지 도 34는 아래와 같이 Fin 액티브 영역(평면상 폭이 일정하고 나란한 형상)의 노란색 부분의 양쪽 측면으로 선택적 에피층이 성장하는 구성을 개시하고 있으며, 이는 이 사건 제8항 발명의 담장 모양 Fin액티브 영역의 양쪽에서 성장되는 에피층과 동일한 구성인바, 피고의 위 주장은 이유 없다.



다) 결론적으로 이 사건 제8항 발명의 "상기 소스/드레인은 게이트와 접치는 Fin액티브 영역을 제외한 Fin액티브 영역 양쪽에, 게이트와 자기정렬 형태로 기생저항을 줄이기 위해 형성된 선택적 에피층(18)을 성장한 것"은 통상의 기술자가 선행발명 4에 의해 쉽게 도출할 수 있다.

4) 선행발명 1과 선행발명 4의 결합의 용이성

통상의 기술자에게 선행발명 1에 선행발명 4를 결합하여 이 사건 제8항 발명에 도달하는 것은 쉽다고 봄이 타당하다. 그 이유는 아래와 같다.

가) 선택적 에피택셜 성장(Selective Epitaxial Growth) 기술은 실리콘 등의 시드 레이어(Seed-Layer)에 선택적으로 결정 격자 형태의 구성을 자라게 하는 방식으로 이 사건 특허발명의 출원일 이전에 반도체 업계에서 널리 사용되었던 기술이다. 소스/드레인 영역에서 선택적 에피층을 성장하는 것도 이 사건 특허발명의 출원일 이전에 흔히 사용되었던 방식이었다(갑 제10 내지 12호증 참조).

나) 일반적인 증착(Deposition) 방식을 이용할 경우 비결정질(비정질)막이 형성되어 반도체의 특성이 저하될 수 있는 반면, 선택적 에피택셜 성장을 이용할 경우 기생저항을 감소시켜 우수한 품질의 반도체를 생산할 수 있다. 다만 에피택셜 층은 품질이 우수한 대신 공정의 복잡성이 증가하고 공정 비용이 증가할 수 있으므로, 단결정으로 에피층을 성장시켜 공정 속도가 느릴 수 있다는 단점이 있는바(갑 제85호증), 반도체 생산 공정에서 선택적 에피택셜 성장 방식을 채택할 것인지 여부는 일반적으로 통상의 기술자가 해당 공정의 장단점과 목표하는 반도체 소자의 성능 등을 고려하여 적절하게 선택할 수 있는 사항에 해당한다.

다) 한편, 소스/드레인 영역에서 선택적 에피층을 성장시켜 기생저항을 줄이는 것이

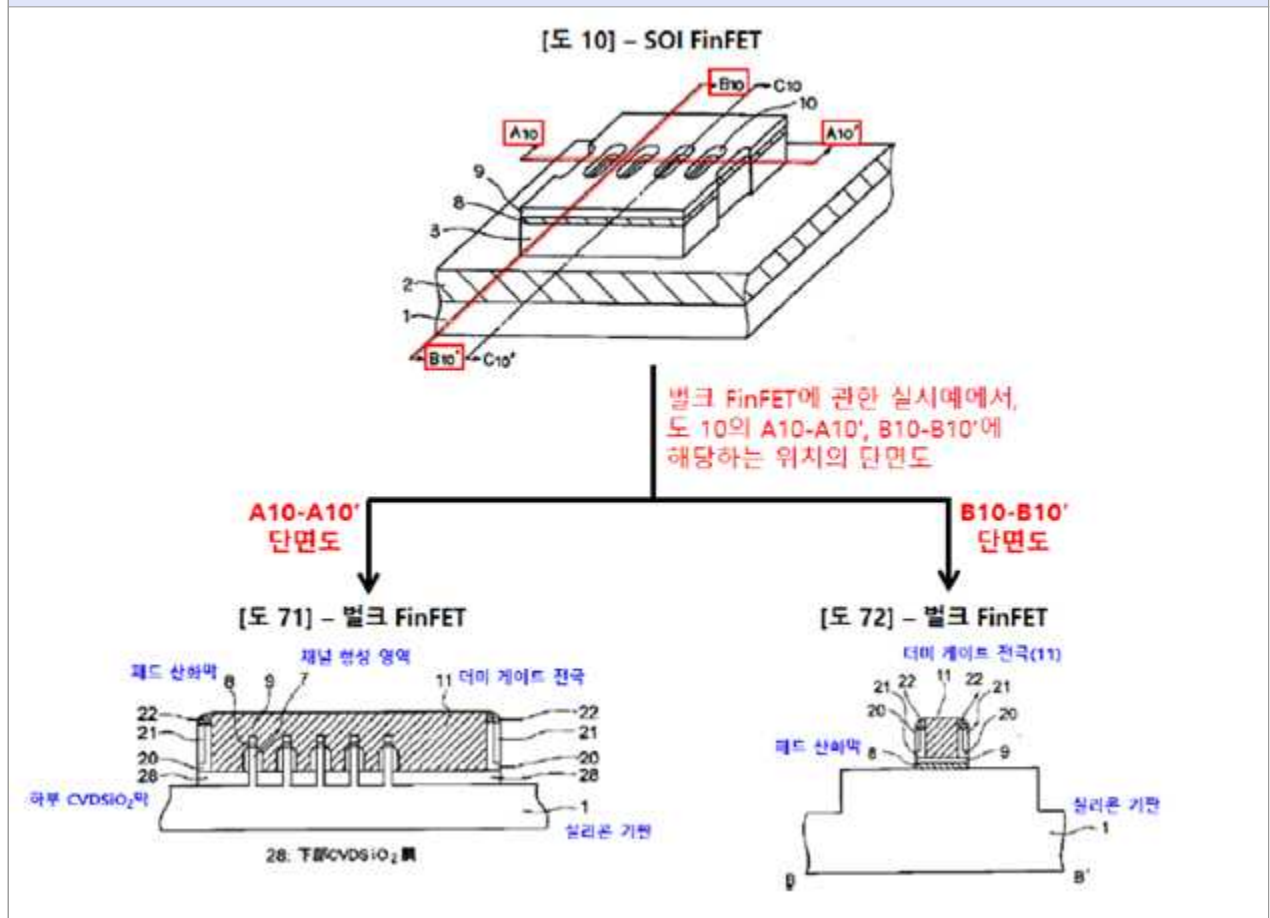
통상의 기술자가 쉽게 채택할 수 있는 방식이라고 하더라도, 기존에 잘 알려지지 않은 새로운 구조에 에피층을 성장시켜 새로운 기능이나 기술적 효과를 제공하는 것은 통상의 기술자에게 어려운 일일 수 있다.

라) 그러나 이 사건 제8항 발명은 벌크 FinFET 소자의 Fin 액티브 영역의 양쪽에 기생저항을 줄이기 위해 선택적 에피층을 형성하는 것을 특징으로 하는데, 이와 같이 벌크 FinFET 소자의 Fin액티브 영역의 양쪽에 기생저항을 줄이기 위해 선택적 에피층을 형성할 수 있음은 앞서 본 바와 같이 선행발명 4에 이미 개시된 것이므로, 이러한 상황에서 통상의 기술자가 선행발명 4에 개시된 선택적 에피층을 선행발명 1과 같은 벌크 FinFET에 적용하여 Fin 액티브 영역의 양쪽에 기생저항을 줄이기 위해 선택적 에피층을 형성하는 것에는 별다른 어려움이 없다고 봄이 타당하다.

(1) 구체적으로, 선행발명 4는 '벌크 FinFET'에 관한 도 71 및 72의 실시예에도 SOI 소자에 관한 도 10의 구조가 그대로 적용됨을 예시하고 있어(선행발명 4의 명세서 식별번호 [0253], 도 10, 도 71 및 도 72 참조) 통상의 기술자가 선택적 에피층을 벌크 FinFET에 대해 적용할 수 있는 동기를 명확하게 제시하고 있다.

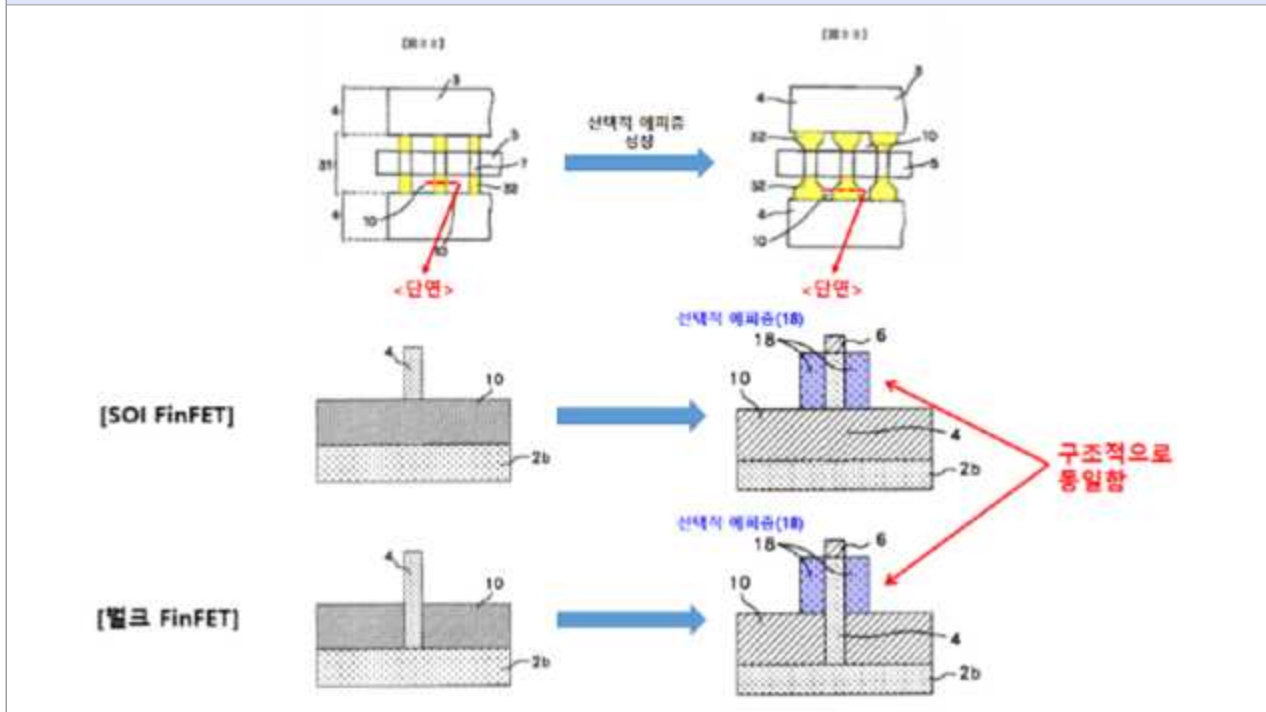
[도면 삽입을 위한 여백]

선행발명 4의 도 10, 도 71, 도 72



(2) 나아가 SOI FinFET에서의 선택적 에피층 성장과 벌크 FinFET에서의 선택적 에피층 성장은 구조적으로 아무런 차이가 없다. 이 사건 제8항 발명의 선택적 에피층은 제2산화막 위에서 측면 성장하는 것인데, 벌크 FinFET에서 제2산화막 위의 구조는 SOI FinFET에서의 기판 산화막 위의 구조와 동일하므로, SOI FinFET에서의 선택적 에피층 성장도 벌크 FinFET에서의 선택적 에피층 성장과 구조적으로 동일하다. 따라서 통상의 기술자가 선행발명 4에 개시된 SOI FinFET에서의 선택적 에피층을 선행발명 1과 같은 벌크 FinFET에 적용하는 것에는 특별한 어려움이 없다고 봄이 타당하다.

선행발명 4의 선택적 에피층을 이 사건 특허에 개시된 SOI FinFET 및 벌크 FinFET에 성장시킨 참고도



5) 피고 주장에 대한 검토

가) 피고는 이 사건 제8항 발명이 소스/드레인과 기판 사이의 기생저항뿐만 아니라 기생용량을 감소시킬 수 있는 기능도 가진다고 주장한다.

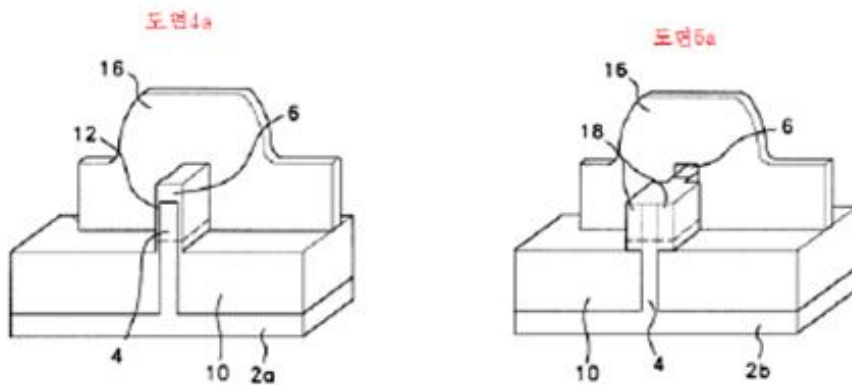
그러나 다음과 같은 이유로 피고의 위 주장은 받아들일 수 없다.

(1) 피고가 주장하는 '기생용량 감소 효과'는 이 사건 특허발명의 명세서에 전혀 기재되어 있지 않은 피고의 자의적인 주장에 불과하다.

이 사건 제8항 발명은 도 4a(이 사건 제1항 발명의 실시예)에 선택적 에피층을 추가함으로써 도 4a의 소자에 비해 기생 소스/드레인 저항을 줄일 수 있다고 기재하고 있다. 즉 소스/드레인 내의 저항을 줄이는 것만을 기재하고 있을 뿐 소스/드레인과 기판 사이의 기생용량에 관하여는 전혀 기재하고 있지 않다.

이 사건 특허발명의 명세서 5면 및 도 4a, 도 5a

도 4a는 본 발명에서 제안한 구조로서, 도 3a와 같은 구조로 비교를 위해 첨가한 것이고, 도 5a는 도 4a의 구조에서 기생 소스/드레인 저항을 줄이기 위한 선택적 에피층(18) 첨가를 추가로 보인 것이다.

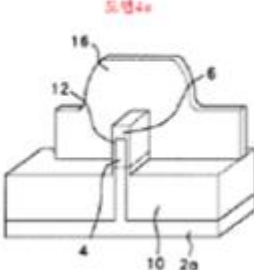
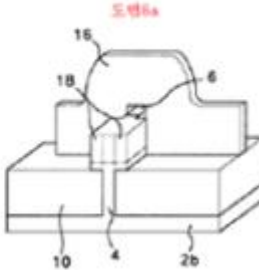
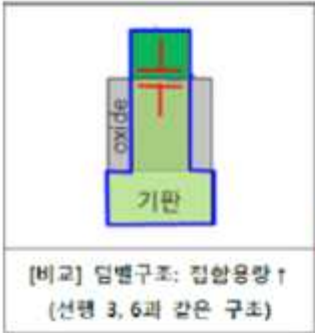
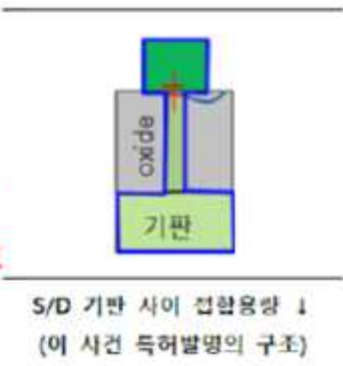


[도 4a] [도 5a]

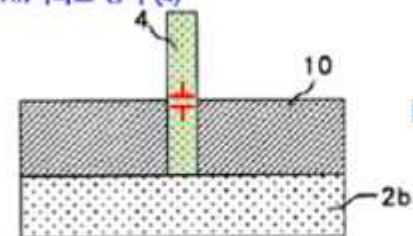
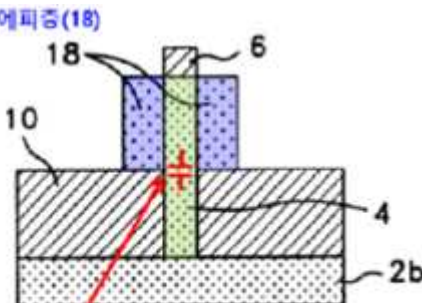
그런데 피고는 이 사건 제8항 발명의 '비교대상'으로서 이 사건 특허발명의 명세서 기재와는 다른 '덤벨 구조'를 제시하면서 이 사건 제8항 발명은 소스/드레인과 기판 사이의 기생용량을 저하시키는 효과가 있다고 주장하고 있다.

그러나 이 사건 특허발명의 명세서 5면의 "도 5a는 도 4a의 구조에서 기생 소스/드레인 저항을 줄이기 위한 선택적 에피층(18) 첨가를 추가로 보인 것이다"라는 기재 내용 및 도 4a, 도 5a의 그림을 살펴보면, 이 사건 특허발명의 명세서에서 설명하는 이 사건 제8항 발명의 효과의 '비교대상'은 에피층을 형성하기 전(前) 구조(이 사건 특허발명의 도 4a)임을 확인할 수 있는데, 이는 피고가 주장하는 '덤벨 구조'에 관한 것이 아니다.

나아가 이 사건 특허발명의 명세서에서는 덤벨 구조 비해서 이 사건 제8항 발명이 접합용량이 적어지는 효과가 있다고 하는 어떠한 기재나 근거도 찾을 수 없다.

이 사건 제8항 발명	<이 사건 특허의 비교 대상>  [도 4a] ↔ 효과의 비교대상 <이 사건 제8항 발명>  [도 5a]
피고 주장	 [비교] 덤벨구조: 접합용량 ↑ (선행 3, 6과 같은 구조) ↔ × 덤벨 구조는 효과의 비교 대상이 될 수 없음  S/D 기판 사이 접합용량 ↓ (이 사건 특허발명의 구조)

(2) 나아가 소스/드레인과 기판 사이의 접합 용량을 살펴보더라도 이 사건 제8항 발명과 이 사건 제1항 발명은 차이가 없거나 오히려 이 사건 제8항 발명의 접합 용량이 더 크게 된다²³⁾.

이 사건 특허발명의 도 8 참조	
 Fin액티브 영역 (4)	선택적 에피층 성장  선택적 에피층 (18) 접합용량은 변화 없거나 증가하나, 감소할 수는 없음

따라서 피고가 주장하는 이 사건 제8항 발명의 기생용량 감소 효과는 이 사건 특허 발명의 명세서에 기재되어 있지 않은 것이고, 명세서 기재를 자의적으로 해석한 것이다.

설령 피고 주장대로 이 사건 특허발명의 출원 당시 통상의 기술자가 기생용량 감소 효과를 추론할 수 있었다고 하더라도, 앞서 살펴본 바와 같이 선행발명 4에는 이 사건 제8항 발명의 구성과 동일한 구성이 개시되어 있고, 그 효과 또한 동일하다.

나) 피고는 선행발명 4에서 소스/드레인 접속부(32)와 소스/드레인(4)은 명확히 구별되는 구성으로, 선행발명 4은 소스/드레인 접속부(32)의 선택적 에피 성장만을 개시하므로 선행발명 4는 이 사건 제8항 발명의 부가 구성을 개시하지 않는다는 취지로 주장한다.

그러나 아래와 같이 선행발명 4에는 소스/드레인 접속부(32)와 소스/드레인 영역(4)을 합한 부분이 통상의 소스/드레인에 해당한다고 명시되어 있는바, 피고의 위 주장은 선행발명 4의 명세서의 기재에 반하는 것이다.

[선행발명 4(갑 제7호증)의 명세서 번역문 일부]

[0043] 또한 본 트랜지스터의 소스/드레인 영역 4와 소스/드레인 접속부 32를 합한 부분이 통상의 싱글 드레인 전계 효과형 트랜지스터에 있어서의 소스/드레인 영역의 작용을 갖는 부분이라고 할 수 있다. 소스/드레인 영역에서 채널 형성 영역에 대해서 얇게 연장된 소스/드레인 익스텐션을 가지는 전계 효과형 트랜지스터에 대해서는 본 실시 형태의 소스/드레인 접속부 32가 소스/드레인 익스텐션에 해당한다.

따라서 선행발명 4에서 '선택적 에피성장된 영역'은 소스/드레인에 포함되는 부분임

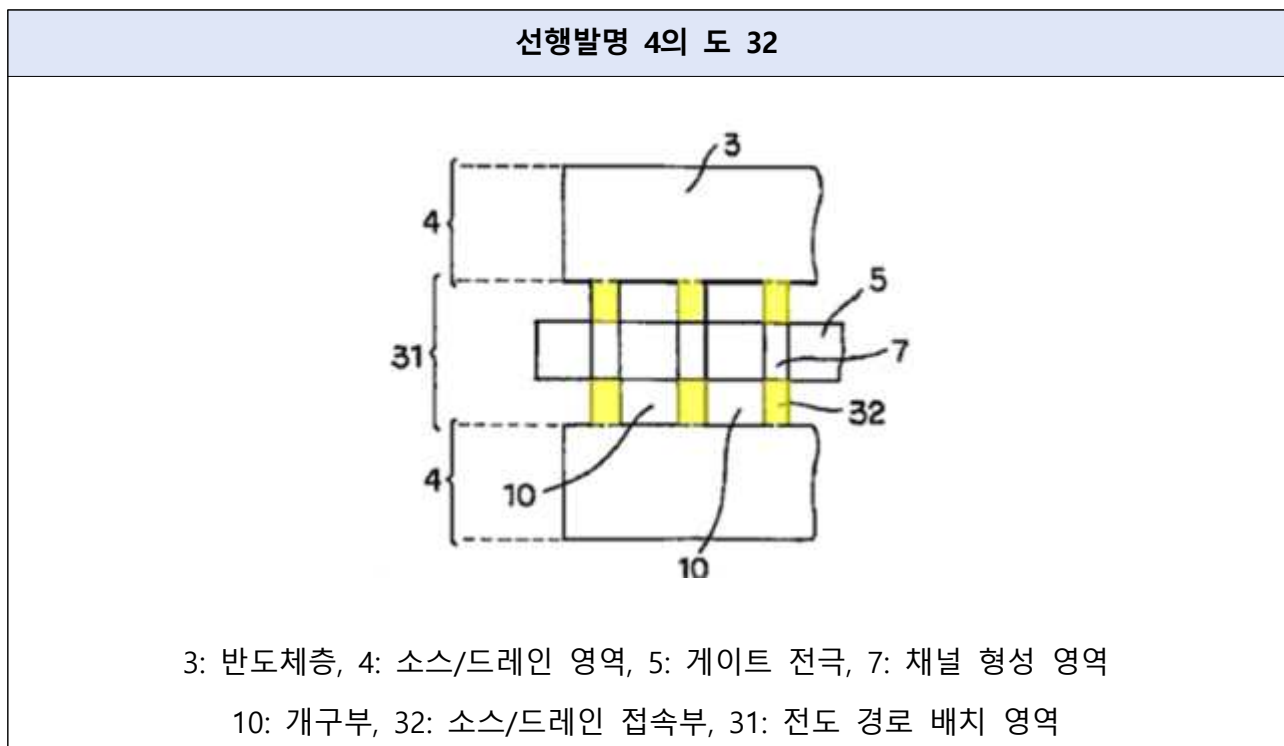
23) 에피층이 형성된 소스/드레인에서 접합 부분이 제2산화막 윗면보다 더 위에 존재하는 경우(예를 들어 이 사건 제12항 발명) 소스/드레인의 접합 면적이 증가함에 따라 소스/드레인과 기판 사이의 접합용량은 이 사건 제1항 발명보다 증가한다.

이 명백한바, 피고의 위 주장은 받아들일 수 없다.

다) 피고는 선행발명 4의 도 33, 34의 경우 "소스/드레인 영역(4)"은 복수의 전도 경로가 공통적으로 연결되어 이미 충분히 넓은 폭을 확보하고 있으므로 기생저항 감소를 위해 선택적 에피층을 성장시킬 이유가 전혀 없다고 주장한다.

그러나, 다음과 같은 이유로 피고의 위 주장은 받아들일 수 없다.

앞서 살펴본 바와 같이, 선행발명 4는 소스/드레인 접속부(32, 아래 노란색 부분)와 소스/드레인 영역(4)을 합한 부분이 소스/드레인에 해당하는데(선행발명 4의 명세서 식별번호 [0043] 참조), 아래 그림과 같이 Fin 액티브 영역으로서 소스/드레인의 일부인 접속부(32, 아래 노란색 부분)를 직선으로 형성할 경우, 소스/드레인 접속부(32)의 좁은 폭으로 인해 기생저항이 증가하는 문제가 발생할 수 있다.



이러한 문제를 해결하기 위해 선행발명 4의 도 32는 Fin 액티브 영역으로서 소스/드

레인의 일부인 접속부(32)에 대한 반도체 선택 성장(선택적 에피택셜 성장)으로 '폭'을 증가시켜 기생저항을 감소시킬 수 있는 구성을 도 33 및 34를 통해 개시하고 있으며(선행발명 4의 명세서 식별번호 [0223] 참조), 도 34 및 선행발명 4의 실시예에서 Fin 액티브 영역으로서 소스/드레인의 일부인 접속부(32)의 폭의 증가에 따른 기생저항 감소 효과가 있다는 사실을 명시하고 있다(선행발명 4의 명세서 식별번호 [0102], [0105], [0149] 참조).

[선행발명 4(갑 제7호증)의 명세서 번역문 일부]

[0101] 즉 도27~도 31, 도 33, 도 34 및 도46~도 49의 형상은 모두 채널 형성 영역 7에서 소스/드레인 영역 4에 걸쳐 반도체층 3의 폭Wsi가 퍼지는 형태를 가지지만, 이 경우, 채널 형성 영역 7의 횡방향 폭Wsi, 혹은 적어도 채널 형성 영역 7의 중앙부에서의 폭Wsi가 작아 지므로, 통상의 SOI형 전계 효과형 트랜지스터에 있어서 반도체층을 박막화하는 것과 같이 S팩터의 개선, 짧은 채널 효과의 억제 등에 효과가 있고, 트랜지스터의 특성이 향상된다.

[0102] 그 한편, 소스/드레인 영역에 접하는 위치에서는 전도 경로 33을 구성하는 반도체층 3의 폭이 커지므로, 기생저항을 감소할 수 있다.

[0105] 본 발명에 의하면 개구부 10의 배열 방향에서의 소스/드레인 접속부 32의 폭을 채널 형성 영역 7을 구성하는 반도체층 3과 접하는 부분에서는 작게 함으로써 짧은 채널 효과 억제 작용을 얻을 수 있는 것과 동시에, 개구부 10의 배열 방향에서의 소스/드레인 접속부 32의 폭을 소스/드레인 영역 4와 접하는 부분에서는 크게 함으로써 기생저항 억제 작용을 얻을 수 있고, 상술한 제3 과제를 억제할 수 있다.

[0149] 게이트 전극 5의 양측, 개구부 10에서 떨어진 부분의 반도체층 3에는 통상의 공정에 의해 소스/드레인 영역을 형성한다. 예를 들면 이온 주입, 플라즈마 도핑 등에 의해 n채널 트랜지스터의 경우는 n형 불순물, p채널 트랜지스터의 경우는 p형 불순물을 고농도($3 \times 10^{19} \text{cm}^{-3}$ 이상, 바람직하게는 $1 \times 10^{20} \text{cm}^{-3} \sim 3 \times 10^{20} \text{cm}^{-3}$)에 도입한다. n형 불순물에는 예를 들면 인, 비소 등 도너를 형성하는 불순물, p형 불순물에는 예를 들면 붕소 등 억셉터를 형성하는 불순물을 이용한다. 또한 소스/드레인 영역에 대해서 기생저항 감소를 위해 반도체

체의 에피택셜 성장, 다결정 또는 아모퍼스 반도체의 선택 성장을 실시해도 좋고 또한 실리사이드화를 수행해도 좋다.

[0223] (실시 예 7) 실시 예 6 제조 방법을 이용할 경우, 당초 반도체층에 설치하는 개구부의 형상은 도 32와 같이 직사각형으로 하고, 게이트 전극 5(또는 더미 게이트 전극 11)를 형성 후, 소스/드레인 접촉부 32에 반도체층의 선택 성장을 함으로써, 소스/드레인 접촉부 32의 폭이 채널 형성 영역 7 측에서는 좁고 소스/드레인 영역 4 측에서는 넓고 그 사이에는 소스/드레인 접촉부 32의 폭이 연속적, 또는 단계적으로 변화하는 형상(도 33, 도 34)을 얻을 수 있다. 이 때, 실시예 6과 동일하게 반도체층의 선택 성장 시에 반도체층으로의 도핑을 동시에 수행해도 좋고 반도체층의 성장 중은 도핑을 하지 않고, 에피택셜 성장 후에 성장한 반도체층으로 불순물을 도입하는 방법을 취해도 좋다. 또한 성장과 동시에 불순물을 도입한 후, 성장 후 재차 불순물을 도입해도 좋다.

이는 이 사건 제8항 발명이 부가 구성(Fin액티브 영역 양쪽에 기생저항을 줄이기 위해 형성된 선택적 에피층을 성장시키는 구성)을 통해 기생저항 감소라는 효과를 발생 하는 것과 동일하다. 따라서 피고의 위 주장은 이유 없다.

라) 피고는 선행발명 4의 명세서 식별번호 [0149]에 언급된 "반도체의 에피택셜 성장"이란 소스/드레인 영역의 "높이"를 증가시키는 Raised(또는 Elevated) 소스/드레인을 의미함이 분명하다고 주장한다.

그러나, 다음과 같은 이유로 피고의 위 주장은 받아들일 수 없다.

(1) 선행발명 4의 명세서에는 아래와 같이 기재되어 있다.

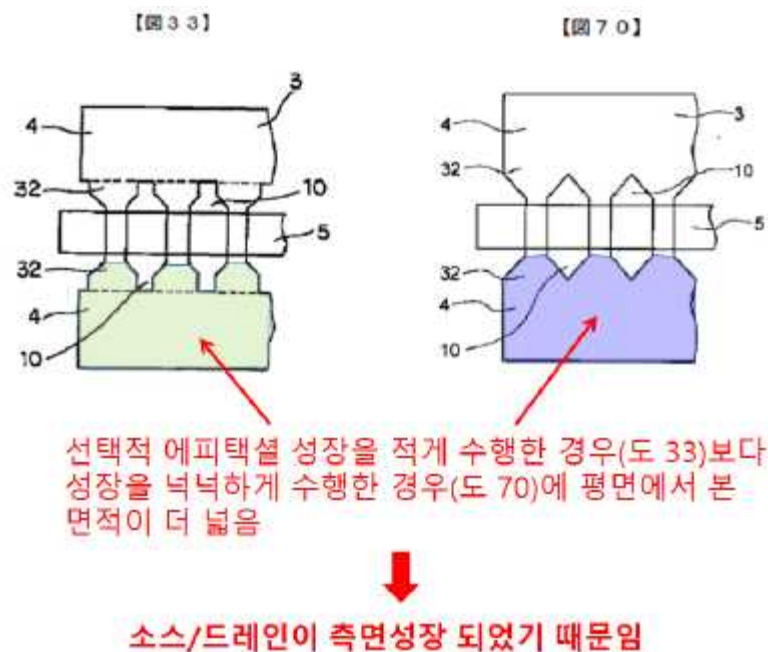
[선행발명 4(갑 제7호증)의 명세서 번역문 일부 및 도 33, 도 70]

[0102] 그 한편, 소스/드레인 영역에 접하는 위치에서는 전도 경로 33을 구성하는 반도체층 3의 폭이 커지므로, 기생저항을 감소할 수 있다.

[0215] (실시 예 6) 개구부에 PSG막을 설치하는 것이 아니라, 실시예 4 방법에 따라 게이트 전극 5 또는 더미 게이트 전극 11에 절연막 측벽(게이트 사이드 월)을 설치한 후에 선택 에

피택셀 성장에 의해 채널 타입과 같은 도전형 불순물을 고농도로 포함한 반도체(Si, 실리콘-게르마늄 혼정 등)를 **소스/드레인 접촉부의 측면에 성장시키면**, 도 33, 도 70에 나타내는 형상의 소스/드레인 접촉부를 얻을 수 있다. 이 경우 소스/드레인 접촉부의 형상은 채널 형성 영역과의 접촉점에서 게이트 사이드 월을 격위치에서 소스/드레인 영역을 향하여 경사지면서 두꺼워지는 형상을 가진다. 이러한 경사는 선택 에피택셀 성장 시에 형성되는 정벽(패시)에서 유래하는 것이다.

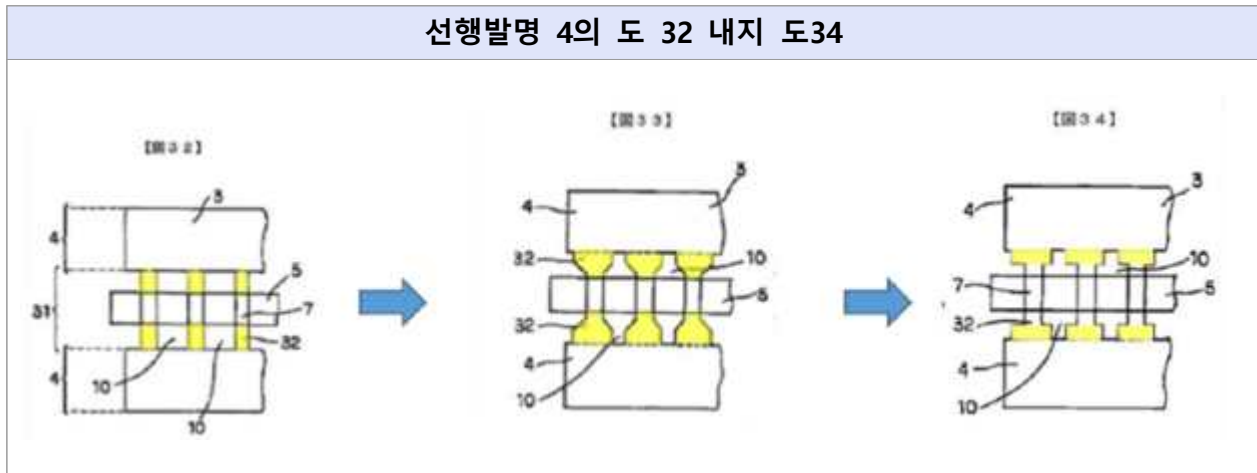
[0216] **도 33은 선택적 에피택셀 성장을 적은 듯하게 수행한 경우, 도 70은 선택적 에피택셀 성장을 넉넉하게 수행한 경우이다.** 또한 도 34는 선택 에피택셀 성장 시에 정벽(패시)이 형성되지 않는 경우, 또는 채널 타입과 같은 도전형 불순물을 고농도에 포함한 반도체(Si, 실리콘-게르마늄 혼정 등)의 비정질층, 혹은 다결정으로 구성되는 층을 선택적으로 성장한 경우이다.



이로부터 선행발명 4에는 명백하게 소스/드레인의 측면 성장이 개시되어 있음을 확인할 수 있다.

(2) 또한 선행발명 4는 아래와 같이 Fin 액티브 영역으로서 소스/드레인의 일부인 접

속부(32)의 측면을 성장시켜 폭을 증가시켜 기생저항을 감소시킬 수 있는 구성을 도 32 내지 34를 통해 개시하고 있다(선행발명 4의 도 32 내지 34 참조).



6) 검토결과의 정리

이상 검토 내용을 정리하면, 이 사건 제8항 발명은 선행발명 1과 선행발명 4의 결합에 의해 진보성이 부정된다.

나. 소결

앞서 본 바와 같이 이 사건 제8항 발명은 선행발명 1과 선행발명 4의 결합에 의해 진보성이 부정된다. 따라서 선행발명 2, 3, 8을 주 선행발명으로 하는 진보성 부정 주장에 관하여는 나아가 살필 필요 없이 이 사건 심결 중 이 사건 제8항 발명에 관한 부분은 이와 결론을 달리하여 위법하다.

7. 이 사건 제14항 발명의 신규성 또는 진보성 부정 여부에 관한 판단

가. 선행발명 2에 의한 신규성 또는 진보성 부정 여부

1) 이 사건 제14항 발명은 이 사건 제1항 발명의 종속항 발명으로 'Fin액티브 영역의 폭이 벌크 실리콘기판에 가까워지면서 산화막 내에서 넓어져 상기 Fin액티브 영역

의 저항이 줄어듦(구성요소 11)'을 특징으로 하는 발명이다.

이 사건 제14항 발명
청구항 1에 있어서, <u>상기 Fin액티브 영역의 폭이 벌크 실리콘기판에 가까워지면서 산화막 내에서 넓어져 상기 Fin액티브 영역의 저항이 줄어듦을 특징으로 하는 이중-게이트 FinFET 소자.</u>
2b: 벌크 실리콘 기판, 4: Fin 액티브 영역, 6: 제1산화막, 12: 게이트 산화막 이 사건 특허의 [도 13d]

2) 한편, 이 사건 제1항 발명이 선행발명 2에 의해 신규성 또는 진보성이 부정되지 않음은 앞서 살펴본 바와 같다.

3) 따라서 이와 같이 이 사건 제1항 발명이 선행발명 2에 의하여 신규성 또는 진보성이 부정되지 않는 이상, 이 사건 제1항 발명의 종속항인 이 사건 제14항 발명은 그 추가한정 구성에 관하여 나아가 살필 필요 없이 선행발명 2에 의하여 그 신규성 또는 진보성이 부정되지 않는다.

나. 선행발명 1과 선행발명 2, 5, 6, 7, 9, 10 중 어느 하나와의 결합에 의한 진보성 부정 여부

1) 쟁점의 정리

이 사건 제1항 발명이 선행발명 1에 의하여 신규성 또는 진보성이 부정됨은 앞서 본 바와 같다. 따라서 이 사건 제14항 발명의 진보성 부정 여부와 관련하여 ① 이 사건 제14항 발명의 추가한정 구성이 선행발명 2, 5, 6, 7, 9, 10 중 어느 하나에 개시되어

있는지 여부 및 ② 선행발명 2, 5, 6, 7, 9, 10 중 어느 하나를 선행발명 1에 결합하는 것이 통상의 기술자에게 용이한지 여부만을 살피기로 한다.

2) 이 사건 제14항 발명의 추가한정 구성이 선행발명 2, 5, 6, 7, 9, 10 중 어느 하나에 개시되어 있는지 여부

가) 이 사건 제14항 발명의 구성요소 11의 청구범위 해석

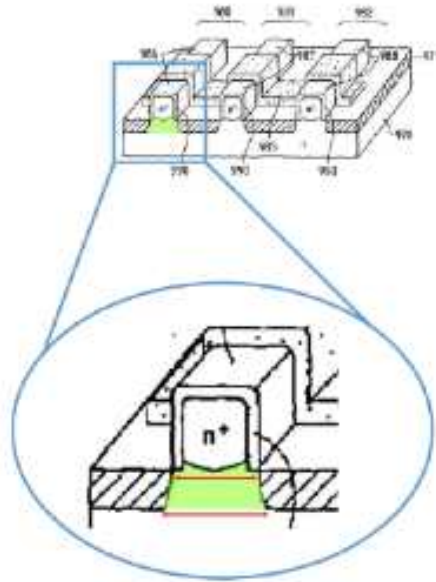
이 사건 제14항 발명의 구성요소 11은 "Fin액티브 영역과 기판 사이의 전기 저항 및 열 저항을 더욱 줄이기"위해 Fin액티브 영역의 폭을 제2산화막 내에서 넓어지게 하는 것이다. 이는 이 사건 특허발명의 "플로팅 바디 효과", "나노 소자 내부 발열" 등의 기술적 과제를 해결하기 위하여 구성요소 2의 Fin액티브 영역의 "담장 모양"을 더욱 구체화한 것으로서 '제2산화막 내에 있는 Fin액티브 영역의 하단이 상단에 비해 기판에 가까워지면서 넓어지는 것'을 특징으로 한다. 즉, 구성요소 11은 Fin액티브 영역의 '제2산화막 내'에서의 모양만을 한정하고 있는 취지로서 제2 산화막 바깥에서의 Fin액티브 영역의 단면 모양에 관하여는 특별히 한정하고 있지 않다.

나) 선행발명 2

선행발명 2의 도 21을 살펴보면, '실리콘 기판(970)에 가까워지면서 제2산화막(971) 내에서 폭이 넓어지는 돌출된 실리콘층 영역'이 도시되어 있음을 확인할 수 있다.

[도면 삽입을 위한 여백]

선행발명 2의 [도 21] 및 일부 확대도



따라서 이 사건 제14항 발명의 부가 구성 중 "기판과 연결된 돌출된 실리콘층²⁴⁾의 폭이 벌크 실리콘기판에 가까워지면서 산화막 내에서 넓어짐" 구성은 선행발명 2에 개시되어 있다.

다) 선행발명 5

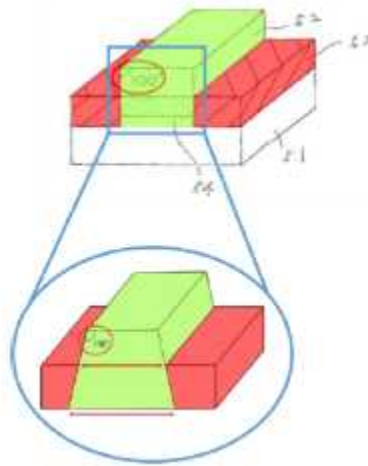
원고는, 선행발명 5(갑 제8호증)의 8면의 6행~7행에 "본 실시예에서는 블록부(52)를 형성할 시에 예를 들면, 제18도에 도시한 바와 같이, 100°의 순 테이퍼를 두는 것이 바람직하다."라고 기재되어 있는데, 이는 이 사건 제14항 발명의 "상기 Fin액티브 영역의 폭이 벌크 실리콘기판에 가까워지면서 산화막 내에서 넓어져 상기 Fin액티브 영역의 저항이 줄어듦" 구성에 해당된다는 취지로 주장한다.

24) 이 사건 제14항 발명의 'Fin액티브 영역'에 대응되는 구성이다. 선행발명 2의 '돌출된 실리콘층'이 'Fin액티브 영역'에 해당하지 않음은 앞서 본 바와 같으나, 'Fin액티브 영역'에 대응되는 구성이 실리콘기판에 가까워지면서 그 폭이 산화막 내에서 넓어지는 구성이 개시되었는지 여부를 검토하였다.

선행발명 5(갑 제8호증)의 명세서 8면 및 도 18

[명세서 8면 기재]

본 실시예에서는 **블록부(52)를 형성할 시에 예를 들면, 제18도에 도시한 바와 같이, 100°의 순 테이퍼를 두는 것이** 바람직하다. 이에 따라, 게이트 전극(56)을 형성한 후에 블록부(52) 측면에 게이트 전극이 잔존하는 것을 방지하여, 게이트 전극(56)끼리의 단락을 방지할 수 있다.



[원고가 편집한 선행발명 5의 도 18 및 비교도]²⁵⁾

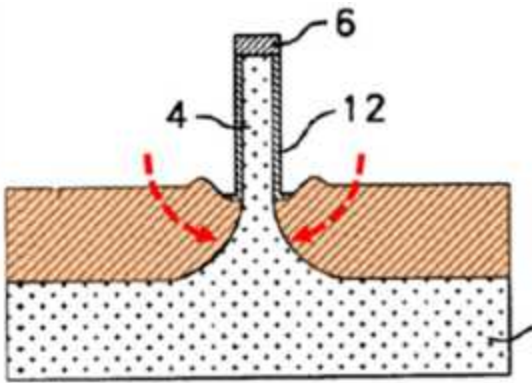
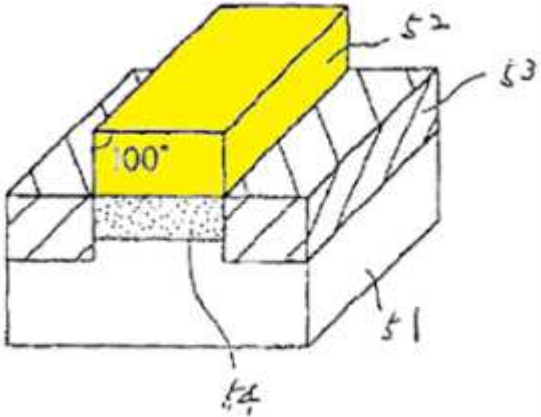
그러나 다음과 같은 이유로 원고의 위 주장은 받아들일 수 없다.

(1) 이 사건 제14항 발명의 추가 구성은 "Fin 액티브 영역과 기판 사이의 전기 저항 및 열 저항을 더욱 줄이기"위해 Fin액티브 영역의 폭을 '제2산화막 내'에서 넓어지게 하는 것이다. 즉, 제2산화막 내에 있는 Fin액티브 영역의 하단이 상단에 비해 기판에 가까워지면서 넓어지는 것을 특징으로 한다.

이에 대해 원고는 선행발명 5의 "테이퍼"가 이 사건 제14항 발명의 추가 구성요소에 대응된다고 주장하지만, 이와 달리 선행발명 5의 "테이퍼"는 "블록부(52) 측면에 잔류하는 게이트 재료의 불필요한 접촉으로 발생하는 단락 회로(Short circuit) 문제"를 방지하기 위한 것이므로, 아래 우측 도면(선행발명 5의 도 18)에서 보듯이 "산화막(53)

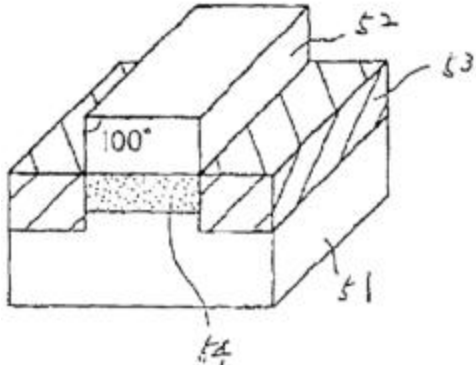
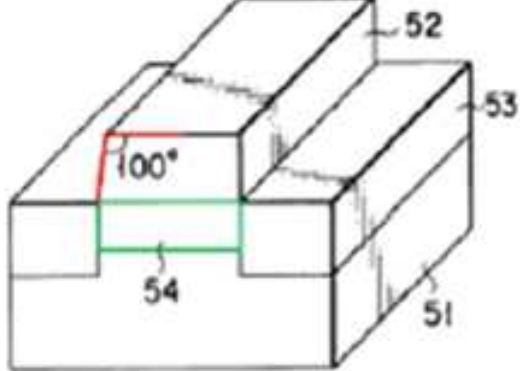
²⁵⁾ 원고가 선행발명 5의 도 18에 색 표시 및 비교도를 추가한 것이다.

위쪽"에 형성된 것으로 이해된다(갑 제8호증 8면 6-7행, 도 18, 노란색 직육면체 모양의 볼록부(52) 참조). 왜냐하면 ① 선행발명 5(갑 제8호증)의 8면의 6행~7행에 "본 실시예에서는 볼록부(52)를 형성할 시에 예를 들면, 제18도에 도시한 바와 같이, 100°의 순 테이퍼를 두는 것이 바람직하다."라고 기재되어 있다는 점, ② 선행발명 5의 도 18를 살펴보면 볼록부(52) 상단을 기준으로 100°의 테이퍼를 두는 것으로 도시되어 있다는 점, ③ 선행발명 5의 도 18를 살펴보면 '볼록부'는 도면부호 52에 해당되는 것일 뿐(아래 그림의 오른쪽 선행발명 5의 도 18에서 노란색 칠한 부분), '볼록부(52)'에는 도면부호 54에 해당되는 'p형 불순물층(54)'은 포함되지 않음을 확인할 수 있다는 점, ④ 게이트가 형성되는 산화막(53) 위의 볼록부(52)에 테이퍼를 두면 게이트 재료가 잔존하는 것을 방지하려는 목적을 달성하기에 충분하다는 점 등 때문이다.

이 사건 특허발명의 도 12d	선행발명 5의 도 18
	 51: p형 실리콘기판, 52: 볼록부 53: 절연막, 54: p형 불순물층

선행발명 5의 도 18은 흐릿하고 불명확하게 도시되어 있어, 테이퍼 구성을 도면으로 명확하게 확인하기 어려운 면이 있지만(갑 제8호증 도 18), 아래 우측 도면과 같이 선

행발명 5의 대응미국특허 도 18을 살펴보면 선행발명 5의 테이퍼가 "산화막 내"가 아니라 "산화막(53) 위"의 볼록부(52) 부분에만 형성된다는 것을 보다 명확하게 확인할 수 있다(을 제23호증).

선행발명 5의 도 18	선행발명 5의 대응 미국특허(을 제23호증)의 도 18
	

또한, 원고의 주장과 달리, 선행발명 5 어디에도 볼록부 측면 "전체에" 테이퍼가 형성된다는 내용은 기재되어 있지 않다. 따라서 통상의 기술자가 선행발명 5가 의도하는 테이퍼 형성의 목적을 고려하여 테이퍼가 형성되는 위치를 이해할 것이라고 보는 것이 합리적이다.

(2) 선행발명 5의 명세서 및 도 18에는 아래와 같이 기재되어 있다.

[선행발명 5(갑 제8호증)의 명세서 7면]

[제4실시예]

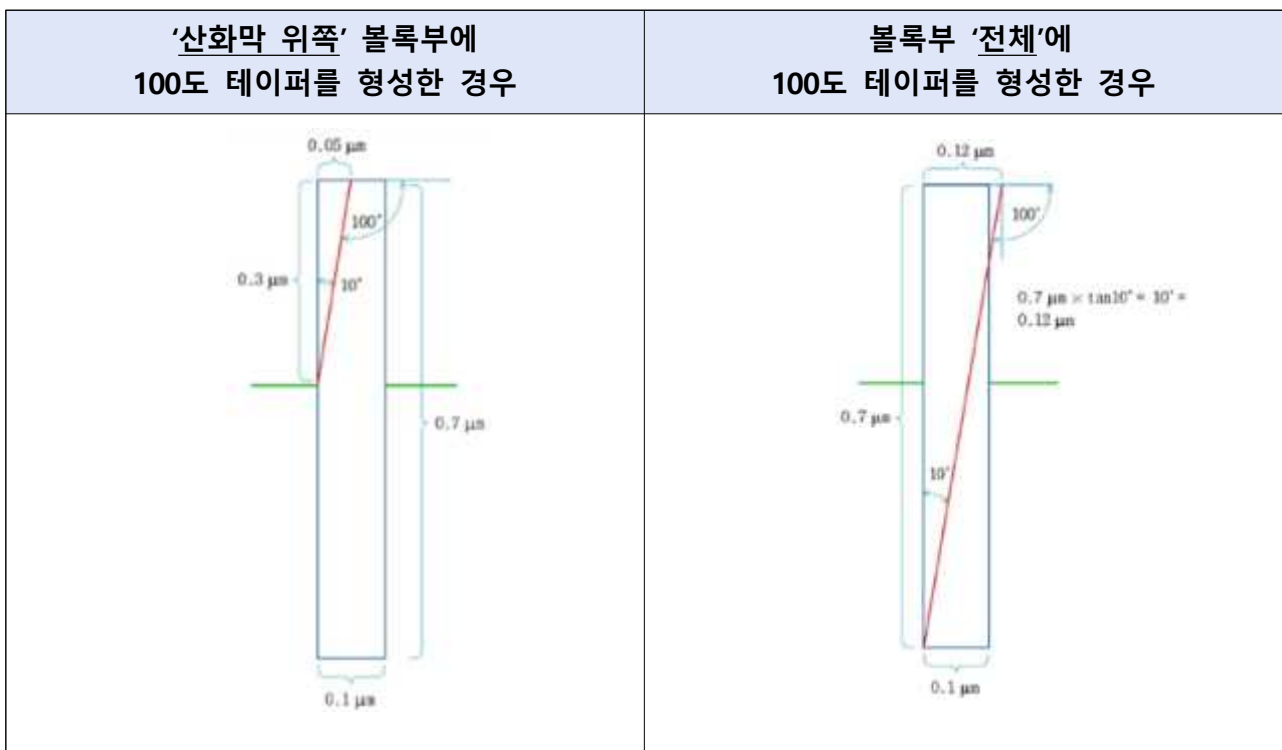
제17도는 본 발명과 관련한 반도체 장치(MOS형 트랜지스터)의 다른 예를 도시한 사시도이다. 이 소자는 불순물 농도 $1 \times 10^{16} \text{cm}^{-3}$ 인 p형 실리콘 기판(51)을 $0.7 \mu\text{m}$ 에칭함으로써, **폭 $0.1 \mu\text{m}$ 의 볼록부(52)**를 형성하고, 소자 분리 영역에 절연막(53)을 매립하고, **절연막(53)을 볼록부 상면으로부터 $0.3 \mu\text{m}$ 에칭한 후에 볼록부(52)에 불소를 이온 주입함으로써 볼록부(52) 상면에서 $0.3 \mu\text{m}$ 의 부분보다 깊은 곳**[제17도에서는 절연막(53)의 상면 보다 깊은 곳]에 $1 \times 10^{18} \text{cm}^{-3}$ 인 p형 불순물층(54)를 형성하고, 그 후, 두께 4nm의 게이트 절연막(55)을 통

하여 게이트 전극(56)을 형성하고, 마지막으로 소스 영역(57) 및 드레인 영역(58)을 형성함으로써 제조된다. (중략)

[선행발명 5(갑 제8호증)의 명세서 8면]

본 실시예에서는 **블록부(52)를 형성할 시에** 예를 들면, 제18도에 도시한 바와 같이, **100°의 순 테이퍼를 두는 것이 바람직하다.**

이로부터, 선행발명 5의 블록부(52)는 0.1μm 폭을 가지고 있고, 블록부 아래에서 0.4μm 높이까지 절연막이 매립된 구조임을 알 수 있다. 이를, 원고 주장과 같이, 블록부 전체 높이(0.7μm)에 걸쳐 100도의 경사로 테이퍼를 형성하면 아래 그림의 우측 부분(블록부 전체에 100도 테이퍼를 형성한 경우)과 같이 채널 영역이 되어야 할 블록부 상부가 전부 소실되어 소자(MOS형 트랜지스터)가 동작할 수 없게 된다.



따라서 통상의 기술자는 선행발명 5의 '100도 테이퍼'가 '산화막 위 부분의 블록부'에만 형성된다고 이해할 수밖에 없다.

이와 같은 검토 내용을 종합하면, 선행발명 5에는 "Fin 액티브 영역과 기판 사이의

저항을 줄이기 위한" 이 사건 제14항 발명의 "상기 Fin액티브 영역의 폭이 벌크 실리콘기판에 가까워지면서 산화막 내에서 넓어져 상기 Fin액티브 영역의 저항이 줄어듦" 구성이 개시되어 있지 않다고 봄이 타당하다.

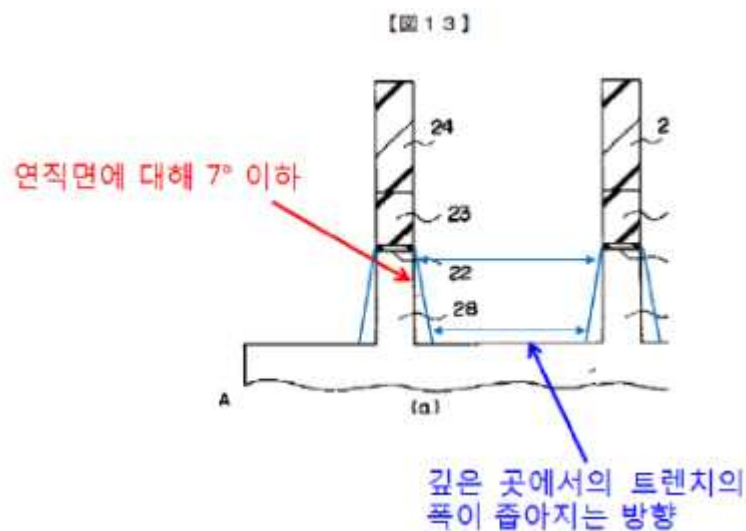
라) 선행발명 6

원고는 선행발명 6의 명세서 식별번호 [0048], [0069]의 기재 내용이 이 사건 제14항 발명의 추가 구성에 해당된다는 취지로 주장한다.

선행발명 6(갑 제9호증)의 명세서 및 도 13

[0048] 또한 게이트 재료의 잔류를 더욱 완전하게 방지하려면, 트렌치각도에 약간의 테이퍼(연직면에 대해서 7도 이하. 깊은 곳에서 트렌치의 폭이 좁아지는 방향)을 부여하는 것이 유효하다.

[0069] 또한 게이트 재료의 잔류를 더욱 완전하게 방지하려면, 트렌치각도에 약간의 테이퍼(연직면에 대해서 7도 이하. 깊은 곳에서 트렌치의 폭이 좁아지는 방향)을 부여하는 것이 유효하다.

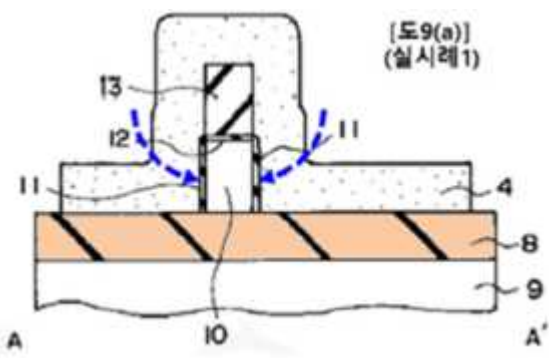


[선행발명 6의 도 13]²⁶⁾

그러나 다음과 같은 이유로 원고의 위 주장은 받아들일 수 없다.

26) 선행발명 6의 도 13에 화살표, 실선 표시 및 설명 등을 추가하였다.

(1) 선행발명 6의 명세서 식별번호 [0048]은 산화막(8) 위에 볼록부가 형성되는 "SOI 소자"에 관한 실시예에 해당하는 것이어서(선행발명 6의 명세서 식별번호 [0046] 참조), 아래 도 9(a)에서 보듯이 트렌치 테이퍼가 "산화막(8) 위쪽"에만 형성될 수 있다 (왜냐하면 SOI 소자의 산화막(8)은 관통되어져 있지 않기 때문이다). 따라서 선행발명 6의 명세서 식별번호 [0048]에 해당하는 '실시예 1'에서는 Fin액티브 영역의 폭이 제2 산화막 내에서 넓어지는 이 사건 제14항 발명의 구성을 구현하는 것 자체가 불가능하다.

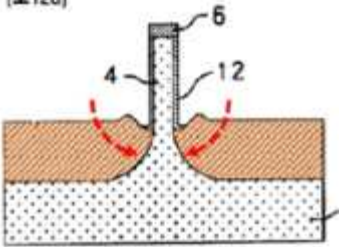
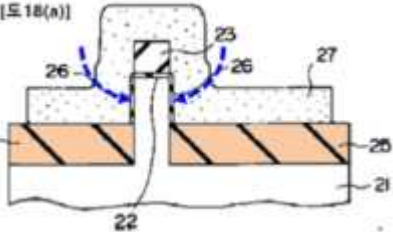
선행발명 6(갑 제9호증)- 실시예 1- "SOI 소자"	
[0048] 또한, 게이트 재료의 잔류를 더 완전하게 막으려면, 트렌치 각도에 미소한 테이퍼 (연직면에 대해 7° 이하, 깊은 곳에서 트렌치의 폭이 좁아지는 방향)를 부여하는 것이 유효하다.	 [도 9(a)]

(2) 한편, 선행발명 6의 명세서 식별번호 [0069]를 살펴보면, 명세서 식별번호 [0069]는 위 명세서 식별번호 [0048]과 동일한 내용으로서 '게이트 재료의 잔류를 방지'하여 배선 사이의 단락(short) 문제를 해결²⁷⁾하기 위해서, 트렌치 각도에 "미소한 테이퍼"를 부여할 수 있다고 기재하고 있음을 확인할 수 있다.

① 선행발명 6의 도 18(a)의 산화막(25) 위쪽에만 테이퍼를 두어도 '게이트 재료 잔류 방지'의 목적을 달성하기에 충분하다는 점, ② 선행발명 6의 명세서 식별번호

27) 갑 제9호증 명세서 식별번호 [0018] 참조

[0069]의 내용이 명세서 식별번호 [0048]의 내용과 완전히 동일하다는 점, ③ 선행발명 6에는 테이퍼를 형성하는 구체적인 공정에 관하여 전혀 개시하고 있지 않다는 점, ④ 선행발명 6에는 산화막(25) 위에 형성된 볼록부의 폭이 산화막(25) 내에서 넓어지도록 트렌치 테이퍼가 형성된다고 하는 내용이 전혀 개시 또는 암시되어 있지 않다는 점, ⑤ FinFET 미세공정에서 산화막(25)을 관통하는 볼록부 '전체'에 테이퍼를 형성하는 것이 자연스럽다고 볼 근거도 없다는 점 등을 고려하면, 통상의 기술자는 선행발명 6이 의도하는 테이퍼 형성의 목적(게이트 재료 잔류 방지)을 고려해서 선행발명 6의 명세서 식별번호 [0069]에 개시되어 있는 테이퍼가 형성되는 위치를 파악하는 것이 합리적이고, 그렇다면 선행발명 6의 명세서 식별번호 [0069]의 내용 역시 명세서 식별번호 [0048]의 내용처럼 트렌치 테이퍼가 "산화막(25) 윗 부분"에만 형성되어 있는 것으로 해석하는 것이 타당하다.

이 사건 제14항 발명의 추가 구성(갑 제2호증)	선행발명 6(갑 제9호증)- 실시예 3
Fin액티브 영역의 폭이 벌크 실리콘기판에 가까워지면서 산화막 내에서 넓어져 상기 Fin액티브 영역의 저항이 줄어듦을 특징으로 하는	[0069] 또한, 게이트 재료의 잔류를 더 완전하게 막으려면, 트렌치 각도에 미소한 테이퍼(연직면에 대해 7° 이하, 깊은 곳에서 트렌치의 폭이 좁아지는 방향)를 부여하는 것이 유효하다.
[도 12d] 	[도 18(a)]  [도 18(a)]

따라서 통상의 기술자라면 선행발명 6의 명세서 식별번호 [0069] 및 도 18(a)에 개시되어 있는 '실시예 3'의 경우에도 선행발명 6의 '실시예 1'과 마찬가지로 트렌치 테이퍼는 게이트가 형성될 "산화막(25) 위쪽"에만 형성되는 것으로 이해할 수밖에 없다(갑 제9호증, 위 우측 도면의 파란색 화살표 표시 부분 참조).

이와 같은 검토 내용을 종합하면, 선행발명 6에는 이 사건 제14항 발명의 "상기 Fin 액티브 영역의 폭이 벌크 실리콘기판에 가까워지면서 산화막 내에서 넓어져 상기 Fin 액티브 영역의 저항이 줄어듦" 구성이 개시되어 있지 않다고 봄이 타당하다.

마) 선행발명 7

원고는 선행발명 7의 번역문(갑 제17호증) 4면에는 아래와 같이 기재를 근거로 이 사건 제14항 발명의 추가 구성이 개시되었다고 주장한다.

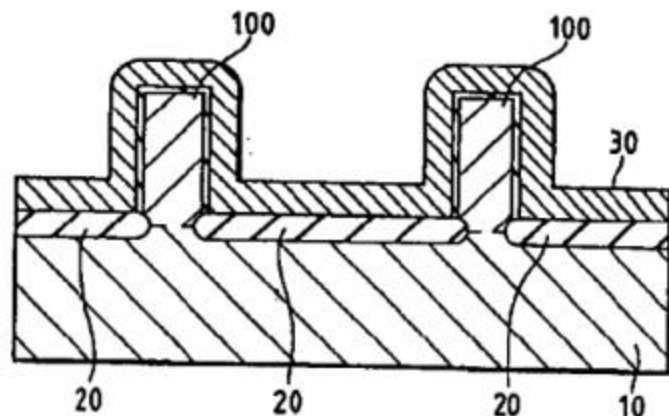
선행발명 7(갑 제17호증)의 명세서 및 도면
[선행발명 7, 제4면] 또, 상기 반도체층은 기판면에 대해 수직으로 마련하는 것이 바람직하지만, <u>반도체층과 기판에 대해 수직인 평면에서 절단한 반도체층 단면이 기판면에 가까울수록 두꺼워지는 사다리꼴로 되는 경우가 많고</u>, 이 경우 기판면과 이것과 교차하는 사다리꼴의 변이 이루는 각도(즉, 기판면과 반도체층면이 이루는 각도)가 80°이상이면 좋다. 이 각도가 80°미만인 경우에는 본 발명의 효과가 감소하여 바람직하지 않다.

그러나 원고의 위 주장은 아래와 같은 이유로 받아들이기 어렵다.

(1) 선행발명 7(갑 제17호증)에는 '본 발명에 있어서, 채널은 기판과 실질적으로 절연되어 있는 것이 바람직하다. 여기서 실질적이라고 하는 것은 완전히 절연되어 있지 않더라도 그의 작동전압에 있어서 절연되어 있는 경우와 거의 마찬가지로 효과를 미친다는 것이다.'(제4면)라고 기재되어 있어 기본적으로 SOI(Silicon On Insulator) 기판구조를 전제로 하는 발명으로 보이는바(도면 1 참조), 같은 면에 기재된 '기판면에 가까울수록

두꺼워지는 '사다리꼴' 형상은 이 사건 제14항 발명의 구성요소 11과 같이 "Fin액티브 영역과 기판 사이의 전기 저항 및 열 저항을 더욱 줄이기"위해 Fin액티브 영역의 폭을 제2산화막 내에서 넓어지게 하는 것이라고 보기는 어렵다.

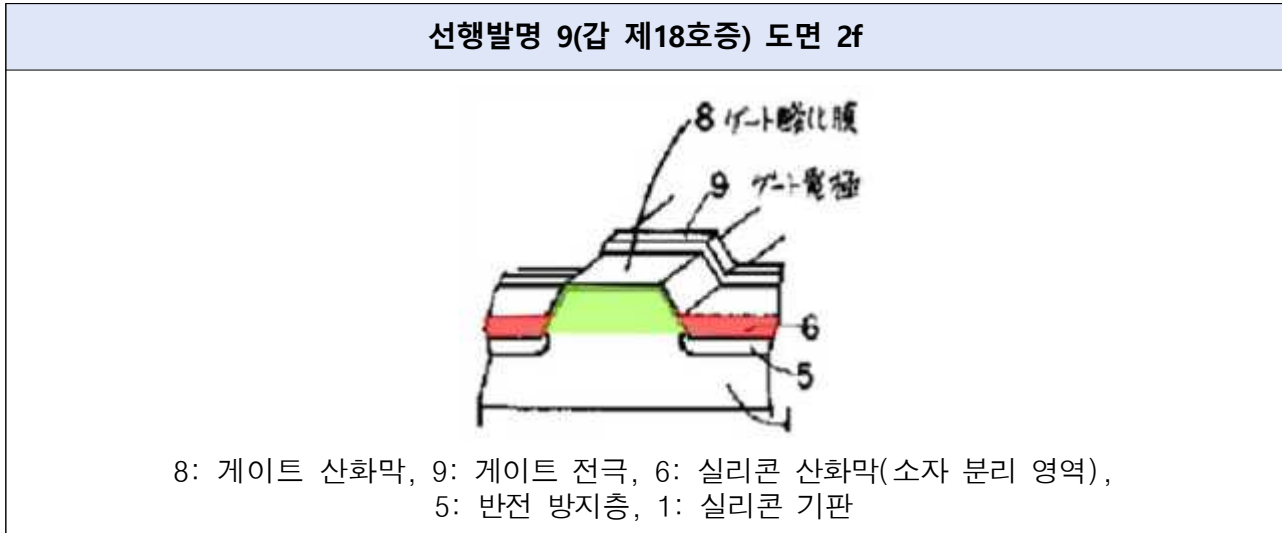
(2) 나아가 선행발명 7(갑 제17호증)의 반도체층과 기판이 연결되는 구조에 대한 실시례(도 3c)를 보면 절연층(20) 내에서 반도체층의 폭이 좁아지는 잘못된 형상이 나타나 있고, 위와 같은 구조는 개구부(opening)을 갖는 절연층(20)을 기판상에 형성하고, 개구부에서 기판결정을 에피택셜 성장시켜서 반도체층(100)을 얻는 것으로 나와 있는데, 이러한 공정에 비추어 보면 앞서 본 '사다리꼴 형상의 반도체 단면'에 관한 명세서 기재를 고려하더라도 통상의 기술자가 절연층(20) 내에 구성요소 11과 같이 기판으로 갈수록 넓어지는 모양을 쉽게 형성할 수 있을 것이라고 단정하기 어렵다.



이와 같은 검토 내용을 종합하면, 선행발명 7에는 이 사건 제14항 발명의 "상기 Fin액티브 영역의 폭이 벌크 실리콘기판에 가까워지면서 산화막 내에서 넓어져 상기 Fin액티브 영역의 저항이 줄어듦" 구성이 개시되어 있지 않다고 봄이 타당하다.

바) 선행발명 9

선행발명 9(갑 제18호증)의 도면 2f는 아래와 같다.



이로부터, 선행발명 9의 도 2f는 Fin액티브 영역에 대응되는 실리콘 돌출부의 기판 상단의 폭이 벌크 실리콘 기판에 가까워지면서 '실리콘 산화막(소자 분리 영역)(6)' 내에서 넓어지는 구성을 개시하고 있음을 확인할 수 있다.

정리하면, 이 사건 제14항 발명의 부가 구성 중 "실리콘 돌출부의 폭이 벌크 실리콘 기판에 가까워지면서 산화막 내에서 넓어짐" 구성은 선행발명 9의 '도면 2f'에 명시적으로 개시되어 있다고 볼 수 있다.²⁸⁾

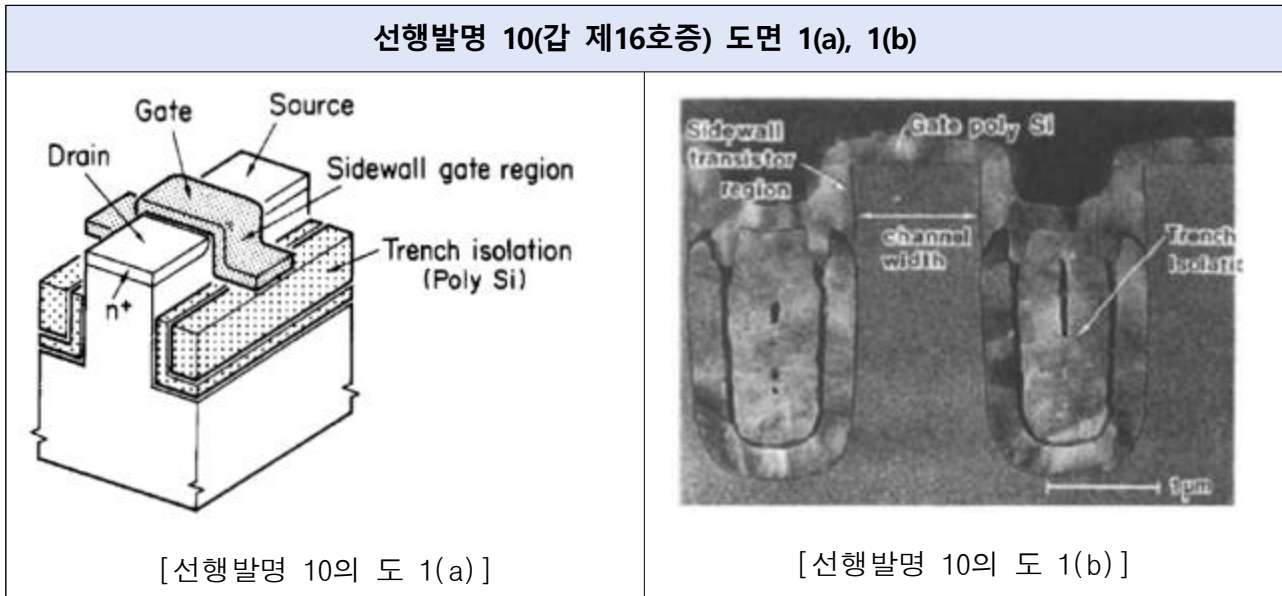
사) 선행발명 10

원고는 선행발명 10의 도 1(b)의 트랜지스터 소자에 관한 전자현미경 사진을 살펴보면, 상기 도 1(b)의 사진에는 이 사건 제14항 발명의 "상기 Fin액티브 영역의 폭이 벌크 실리콘기판에 가까워지면서 산화막 내에서 넓어져 상기 Fin액티브 영역의 저항이 줄어듦" 구성이 개시되어 있다고 주장한다.

그러나 다음과 같은 이유로 상기 원고 주장은 받아들일 수 없다.

²⁸⁾ 이 사건 제14항 발명의 'Fin액티브 영역'에 대응되는 구성이다. 선행발명 9의 '실리콘 돌출부'는 그 종횡비에 비추어 'Fin액티브 영역'에 해당하지 않는 것으로 보이나, 'Fin액티브 영역'에 대응되는 구성이 실리콘기판에 가까워지면서 그 폭이 산화막 내에서 넓어지는 구성이 개시되었는지 여부를 검토하였다.

(1) 선행발명 10(갑 제16호증)의 도면 1(a), 1(b)는 아래와 같다.



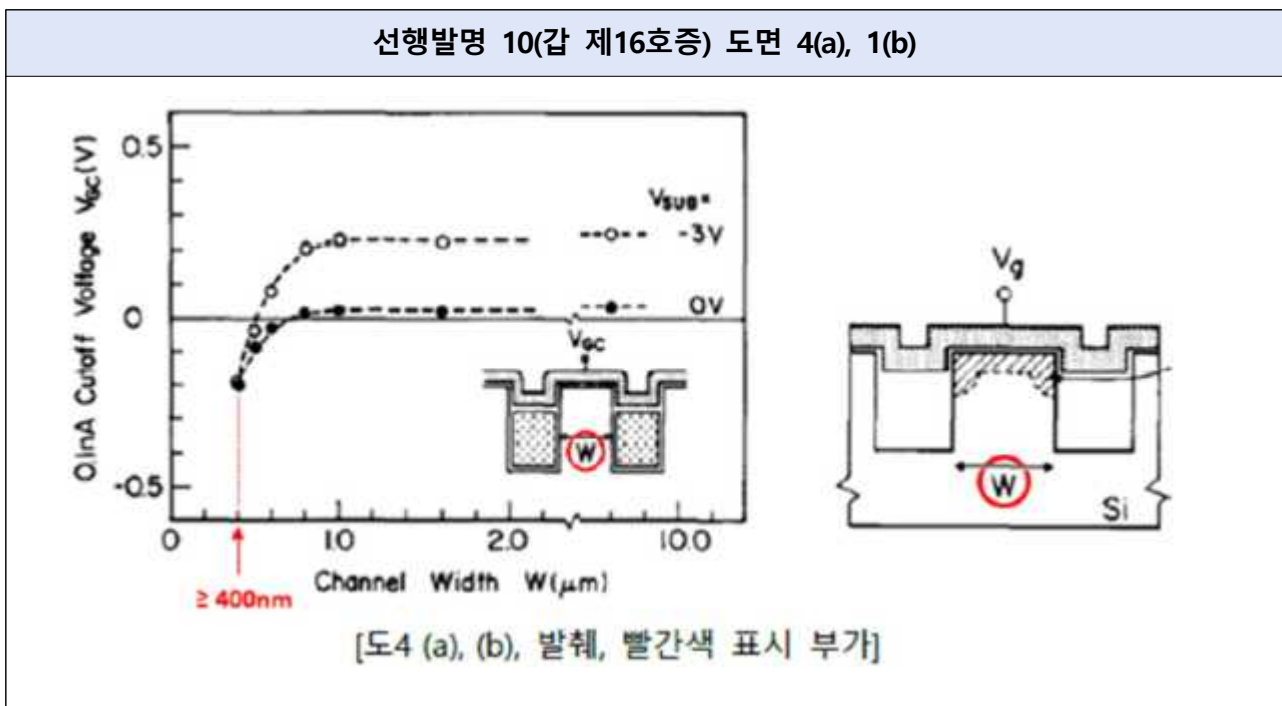
여기서 도면 1(a)는 '측벽 게이트를 사용하는 트렌치 격리 트랜지스터(TIS)의 단면 개략도'이고, 도면 1(b)는 '게이트 폭 방향에 따른 단면의 SEM 사진'이다.

선행발명 10의 도 1(a)를 살펴보면, 선행발명 10은 TIS 소자의 블록부가 '일정한 폭'을 갖도록 도시되어 있음을 확인할 수 있다. 즉 선행발명 10의 도 1(a)에는 그 폭이 기판에 가까워짐에 따라 산화막 내에서 넓어지도록 하여 저항을 줄이는 이 사건 제14항 발명의 추가 구성요소에 대응하는 구조가 전혀 개시되어 있지 않다.

다만, 도 1(b)를 살펴보면, 도 1(b)는 도 1(a)의 구조를 실제 제작한 샘플 트랜지스터의 SEM 사진으로 도 1(b)의 블록부 최하단에 '둥근 모서리' 형태가 나타나 있기는 하지만, 이는 트랜지스터의 실제 제조 과정에서 모서리 부분을 정확히 90도 각도로 형성하기 어려운 기술적인 문제로 인해 실제 제조 과정에서 '둥근 모서리' 형태가 부수적으로 나타나는 현상일 뿐, 이를 산화막 내에서 블록부 폭을 기판에 가까워질수록 의도적으로 넓게 하여 Fin과 기판 사이의 전기 저항 및 열 저항을 더욱 줄이고 이를 통해 플

로팅 바디 및 열 방출 문제를 더욱 개선시키는 기술사상이 개시된 것이라고는 볼 수 없다.

(2) 더욱이 선행발명 10은 아래와 같이 도 4 (a), (b)에서도 그 폭을 단일한 두께를 나타내는 "W"로 일관되게 도시, 표시하고 있는바, 선행발명 10 어디에서도 블록부의 폭이 산화막 내에서 넓어지도록 하는 이 사건 제14항 발명의 추가 구성이 개시되어 있다고 할 수 없다.



정리하면 선행발명 10에는 이 사건 제14항 발명의 "상기 Fin액티브 영역의 폭이 벌크 실리콘기판에 가까워지면서 산화막 내에서 넓어져 상기 Fin액티브 영역의 저항이 줄어듦" 구성이 개시되어 있지 않다.

아) 검토결과의 정리

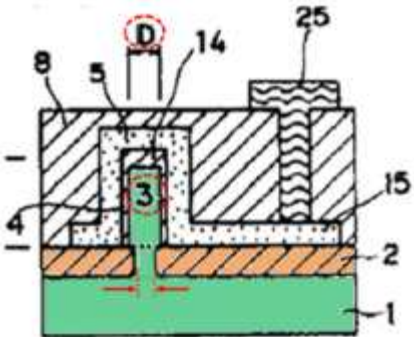
위에서 검토한 내용을 정리하면, 이 사건 제14항 발명의 구성요소 11에 대응되는

"기판과 연결된 돌출된 실리콘층의 폭이 벌크 실리콘기판에 가까워지면서 산화막 내에서 넓어지는 구성"은 선행발명 2 및 선행발명 9에 각각 개시되어 있고, 선행발명 5, 6, 7, 10에는 개시되어 있지 않다.

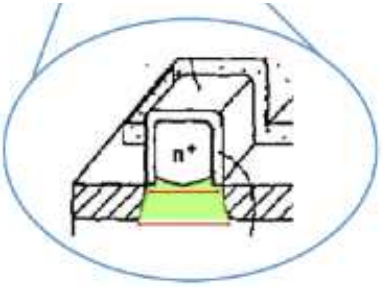
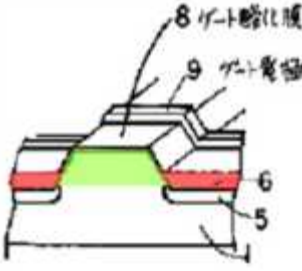
3) 선행발명 1과 선행발명 2 또는 9의 결합의 용이성

통상의 기술자에게 선행발명 1에 선행발명 2 또는 9를 결합하여 이 사건 제14항 발명에 도달하는 것은 쉽다고 볼 수 없다. 그 이유는 아래와 같다.

가) 선행발명 1은 '채널 영역의 일부가 기판 반도체와 접하는 구조를 채택하고 있으나, 기생 용량이 큰 문제점을 채널 영역이 기판과 접하는 면적을 작게 함으로써 해결'하고자 하는 발명이다(갑 제4호증 번역문 제4면). 선행발명 1의 실시예와 관련된 설명을 보면 '각 영역이 Si 기판(1)과 접하고 있는 부분의 폭이 D(판형 Si의 두께) 이하로 매우 좁기 때문에 대 기판간의 기생 용량은 적어 본 실시예의 IG-FET는 고속으로 동작하는 것을 기대할 수 있다.'고 기재되어 있고(갑 제4호증 번역문 제7면), 선행발명 1의 도면 1d를 보면 아래와 같이 산화막(2) 내에서 박판형(얇은 판형) 실리콘(3)의 폭(D)가 더 좁아지는 것을 볼 수 있다.

선행발명 1(갑 제4호증)	
 [도 1d]	[8면 15-19행] 단결정 Si 기판(1)에 (중략) 블록형 혹은 판형 Si(9)의 구조를 얻었다. [8면 25-26행] 기판(1) 평면 부분을 (중략) 열산화하여 필드 산화막(2)을 형성하였다. [7면 7-8행, 24-25행] 판형 Si의 두께(D)는 (중략) 얇게 되어 있다. (중략) 또한 각 영역이 Si 기판(1)과 접하고 있는 부분의 폭이 D 이하로 매우 좁기 때문에 대 기판 간의 기생 용량은 작다.

나) 한편, 선행발명 2와 선행발명 9는 아래 도면에서 보는 바와 같이 돌출된 실리콘 부분이 상대적으로 폭이 크고, 선행발명 1과 같이 기판과 돌출부가 접하는 면적을 작게 하겠다는 기술사상은 포함되어 있지 않다.

선행발명 2의 [도 21] 및 일부 확대도	선행발명 9(갑 제18호증) 도면 2f
	

다) 선행발명 1과 선행발명 2, 9의 이와 같은 기술사상의 차이에 비추어 볼 때, 다른 선행기술에서의 명확한 가르침이나 분명한 동기가 인정되지 않는 이 사건에서, 사후적으로 고찰하지 않고는 선행발명 2와 9에서 산화막 내에서 폭이 넓어지는 부분만을 따로 떼어내어 선행발명 1에 결합하는 것이 어렵다고 판단된다. 이와 같은 결합은 선행발명 1에서 기판과 돌출부가 접하는 면적을 작게 하여 유리한 효과를 얻겠다는 기술사상을 상실케 하는 측면이 있기 때문이다.

4) 검토결과의 정리

따라서 이 사건 제14항 발명은 선행발명 1과 선행발명 2, 5, 6, 7, 9, 10 중 어느 하나와의 결합에 의해 진보성 부정되지 않는다.

다. 선행발명 3과 선행발명 2, 5, 6, 7, 9, 10 중 어느 하나와의 결합에 의한 진보성 부정 여부

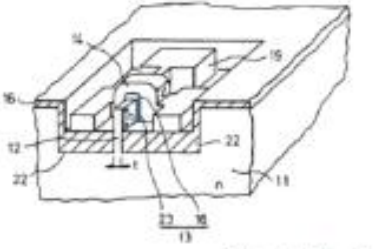
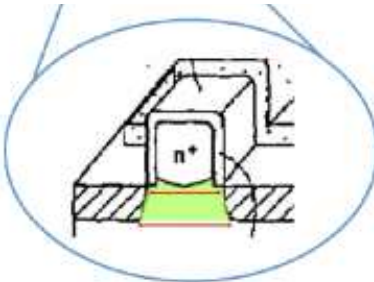
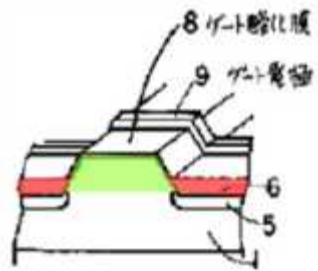
1) 이 사건 제14항 발명의 구성요소 11에 대응되는 "기판과 연결된 돌출된 실리콘층

의 폭이 벌크 실리콘기판에 가까워지면서 산화막 내에서 넓어지는 구성"은 선행발명 2 및 선행발명 9에 각각 개시되어 있고, 선행발명 5, 6, 7, 10에는 개시되어 있지 않다는 점은 앞서 살펴본 바와 같으므로, 이하 선행발명 3과 선행발명 2 또는 선행발명 9와의 결합의 용이성에 관하여만 살펴기로 한다.

2) 선행발명 3과 선행발명 2 또는 9의 결합의 용이성

통상의 기술자에게 선행발명 3에 선행발명 2 또는 9를 결합하여 이 사건 제14항 발명에 도달하는 것은 쉽다고 볼 수 없다. 그 이유는 아래와 같다.

가) 선행발명 3은 아래 도면과 같이 소스 영역 및 드레인 영역을 포함한 직방체형 부분이 덩벨 형상으로 되어 있다. 즉, 직방체형 부분의 폭이 채널 방향으로 일정하지 않고 소스/ 드레인 부분에서 커지는 형상을 가지고 있다.

선행발명 3	선행발명 2의 [도 21] 및 일부 확대도	선행발명 9(갑 제18호증) 도면 2f
		

나) 한편, 선행발명 2와 선행발명 9는 위 도면에서 보는 바와 같이 돌출된 실리콘 부분이 채널 방향으로 폭이 일정한 형상을 가지고 있어 선행발명 3과 구조적인 차이점이 있다.

다) 선행발명 3과 선행발명 2, 9의 이와 같은 구조적 차이에 비추어 볼 때, 다른 선행기술에서의 명확한 가르침이나 분명한 동기가 인정되지 않는 이 사건에서, 사후적으로 고찰하지 않고는 통상의 기술자가 선행발명 2와 9에서 산화막 내에서 폭이 넓어지는 부분만을 따로 떼어내어 선행발명 3에 결합하는 것은 어렵다고 판단된다.

(1) 선행발명 3은 소스/ 드레인 부분과 벌크 실리콘기판의 접촉 면적이 이미 크기 때문에 이 부분의 저항을 추가로 줄어든게 하고자 하는 과제에 대한 인식을 할 수 있을지 불분명하다.

(2) 또한 설령 그러한 과제를 인식하였다고 하더라도 선행발명 2, 9와 선행발명 3 사이의 구조적 차이점이 적지 아니하여 선행발명 2와 9의 "기관과 연결된 돌출된 실리콘층의 폭이 벌크 실리콘기판에 가까워지면서 산화막 내에서 넓어지는 구성"을 그와 같은 과제에 대한 해결책으로 인식하기는 어려워 보인다.

(3) 나아가 통상의 기술자가 선행발명 3의 구조를 선행발명 2, 9를 참고하여 변경하고자 시도하더라도 그 구조적 변경으로 인해 발생할 수 있는 다른 전기적 특성의 변화 등을 고려한 설계변경 및 제조공정 변경에 드는 노력이 적지 않을 것으로 보인다.

3) 검토결과의 정리

따라서 이 사건 제14항 발명은 선행발명 3과 선행발명 2, 5, 6, 7, 9, 10 중 어느 하나와의 결합에 의해 진보성 부정되지 않는다.

라. 선행발명 8과 선행발명 2, 5, 6, 7, 9, 10 중 어느 하나와의 결합에 의한 진보성 부정 여부

1) 이 사건 제14항 발명의 구성요소 11인 "상기 Fin액티브 영역의 폭이 벌크 실리콘 기판에 가까워지면서 산화막 내에서 넓어져 상기 Fin액티브 영역의 저항이 줄어듦"은

선행발명 2 및 선행발명 9에 각각 개시되어 있고, 선행발명 5, 6, 7, 10에는 개시되어 있지 않다는 점은 앞서 살펴본 바와 같으므로, 이하 선행발명 8과 선행발명 2 또는 선행발명 9와의 결합의 용이성에 관하여만 살피기로 한다.

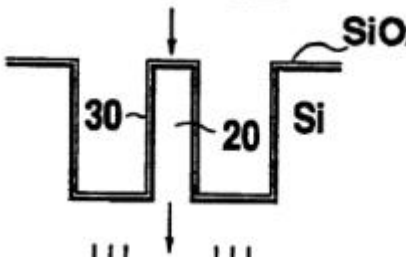
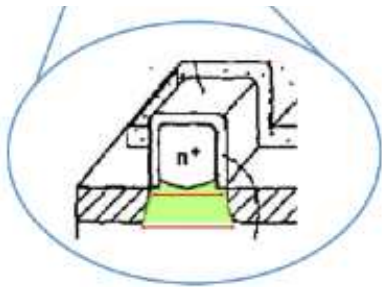
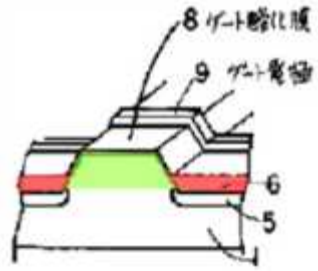
2) 선행발명 8과 선행발명 2 또는 9의 결합의 용이성

통상의 기술자에게 선행발명 8에 선행발명 2 또는 9를 결합하여 이 사건 제14항 발명에 도달하는 것은 쉽다고 볼 수 없다. 그 이유는 아래와 같다.

가) 이 사건 제14항 발명은 Fin액티브 영역의 폭을 일정 높이까지 형성된 '제2산화막 내에서' 벌크 실리콘 기판에 가까워지면서 넓어지는 특징을 가지고 있는데, 위 '제2산화막'에 대응되는 선행발명 8의 구성은 '기판(10) 표면에 형성되어 있는 얇은 산화막(30)'이다.

선행발명 8(갑 제15호증)	
	[4면 10행-5면 3행] <u>기판(10) 및 돌출부(20)의 표면 전체는 SiO₂로 이루어진 산화막(30)으로 덮이고, (중략) 산화막(30)은 게이트 산화막으로 기능한다.</u> [6면 12-14행] (전략) <u>소자분리부(28)가 형성된다.</u> <u>이는 SOI 초박형 트랜지스터와 같이 MOS 트랜지스터와 기판 사이에 소자 분리를 위한 산화막을 형성할 필요가 없어 제조 공정이 단순화된다.</u>

나) 그런데 선행발명 8의 '얇은 산화막(30)'은 기판(10) 표면과 돌출부(20) 양쪽 측벽, 돌출부(20) 위쪽 표면 등 표면 전체가 SiO₂로 이루어진 산화막(30)으로 덮이는 구조를 가지고 있어 선행발명 2나 선행발명 9와 같이 돌출부를 덮는 산화막과 기판 표면을 덮는 산화막이 별개로 형성되는 구조와 차이가 있다.

선행발명 8의 산화막(30)	선행발명 2의 [도 21] 및 일부 확대도	선행발명 9(갑 제18호증) 도면 2f
		

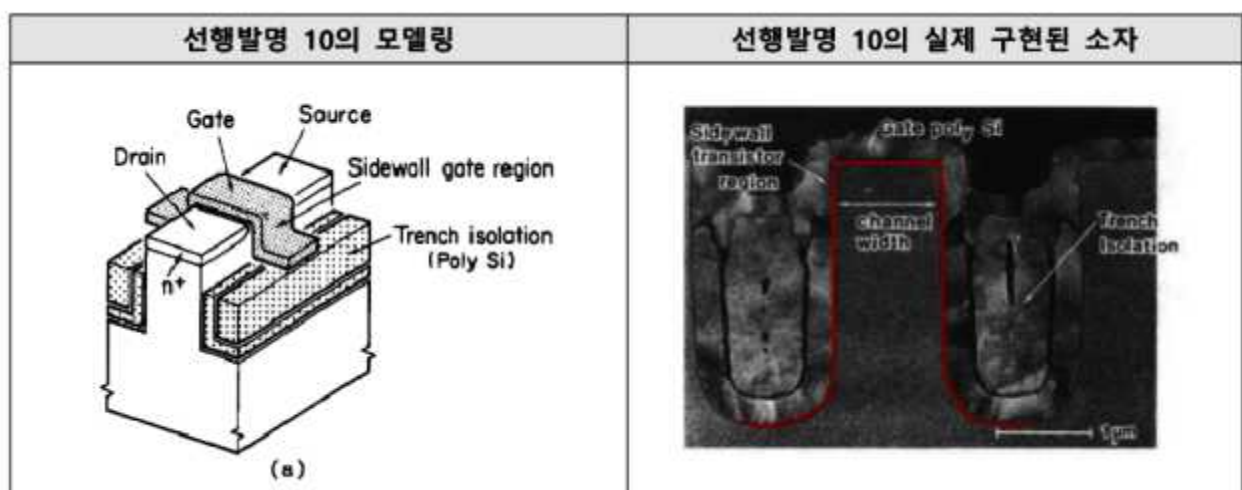
다) 선행발명 8과 선행발명 2, 9의 이와 같은 구조적의 차이에 비추어 볼 때, 다른 선행기술에서의 명확한 가르침이나 분명한 동기가 인정되지 않는 이 사건에서, 사후적으로 고찰하지 않고는 선행발명 2와 9에서 산화막 내에서 폭이 넓어지는 부분만을 따로 떼어내어 선행발명 8에 결합하는 것은 어렵다고 판단된다.

(1) 선행발명 8은 ① MOS 트랜지스터와 기판 사이에 소자 분리를 위한 산화막을 형성할 필요가 없어 제조 공정이 단순화된다는 점, ② 돌출부(20)는 부피와 구조가 급격하게 변하는 전계 산화 단계와 같은 가혹한 조건을 갖는 단계가 필요하지 않으므로 우수한 실리콘 단결정으로 이루어질 수 있다는 점, ③ 게이트 산화막과 필드 산화막의 접촉과 같이 큰 응력이 존재하는 부분의 형성을 방지할 수 있다는 점 등을 기술적 의의로 설명하고 있다(갑 제15호증 번역문 제6면 참조).

(2) 그런데 선행발명 2, 9는 기판과 소자 분리를 위한 산화막을 형성하는 공정을 전제로 하고 있어(갑 제18호증 번역문 제3, 4면 참조), 소자 분리를 위한 산화막을 별도로 형성하지 않는다는 선행발명 8의 기술사상과 반대의 기술사상을 가지고 있는바, 선행발명 8을 개량하고자 하는 통상의 기술자가 참고하기가 쉽지 않아 보인다.

(3) 또한 통상의 기술자가 선행발명 8에 선행발명 2 또는 9를 결합하여 얇은 산화막(30) 내에서 그 폭이 넓어지도록 위해서는 선행발명 8의 얇은 산화막(30) 중 기판(10)과 접하는 부분의 두께 부분만을 적절하게 조절을 하는 등 선행발명 8의 제조 공정에 적합하지 않는 과정을 거쳐야 할 것으로 보이는데, 이는 제조 공정을 단순화하고 게이트 산화막과 필드 산화막의 접촉과 같이 큰 응력이 존재하는 부분의 형성을 방지한다는 선행발명 8의 기술적 사상에 배치되는 측면이 있다.

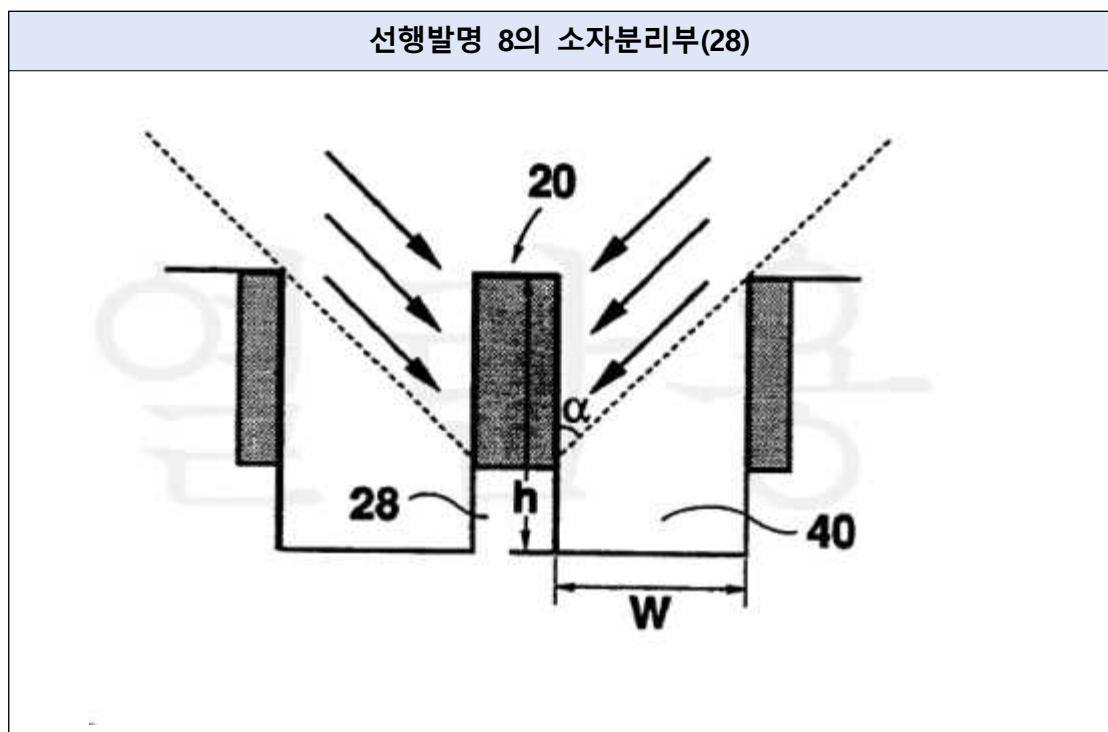
(4) 원고는, 선행발명 10에서 모델링 단계의 소자에는 존재하지 않았던 'Fin액티브 영역의 폭이 벌크 실리콘 기판에 가까워지면서 산화막 내에서 넓어지는 구성'이 실제 구현된 소자에는 적용되어 있고, 이와 같이 공정 구현 과정에서 "Fin액티브 영역의 폭이 벌크 실리콘 기판에 가까워지면서 산화막 내에서 넓어지는 구성"이 적용되는 이유 중의 하나가 산화막 생성 과정에서의 빈 공간(Void)이 생기는 것을 방지하기 위한 것이라고 주장하며 1998년 발표된 트랜치 형성 관련 논문(갑 제87호증)을 제시하고 있다.



위 논문은 STI(shallow trench isolation)에서 CVD 산화물 갭 충전 공정에서 빈 공간(Void)의 형성을 방지하기 위해 트랜치를 경사지게 할 필요가 있다는 점을 언급하고

있다.

그러나 선행발명 8은 별도의 소자 분리를 위한 갭 충전 공정 없이 기판(10)을 그대로 놔두기만 하도 소자분리부(28)가 형성됨을 특징으로 하는 발명이므로(갑 제15호증 번역문 제6면 참조), 위와 같은 갭 충전 과정에서 빈 공간(Void) 형성 방지라는 점이 돌출부를 경사지게 변경할 동기로 작용할 가능성도 적다.



3) 검토결과와 정리

따라서 이 사건 제14항 발명은 선행발명 8과 선행발명 2, 5, 6, 7, 9, 10 중 어느 하나와의 결합에 의해 진보성 부정되지 않는다.

마. 소결

이상 검토 내용을 정리하면, 이 사건 제14항 발명은 선행발명 2에 의하여 그 신규성, 진보성이 부정되지 않는다. 또한 이 사건 제14항 발명은 통상의 기술자가 선행발명

1, 3 및 8 중 어느 하나와 선행발명 2, 5, 6, 7, 9, 10 중 어느 하나와의 결합에 의해서도 쉽게 발명할 수 없으므로 그 진보성이 부정되지 않는다. 따라서 이 사건 심결 중 이 사건 제14항 발명에 관한 부분은 이와 결론을 같이 하여 원고 주장의 위법사유가 없다.

8. 결론

따라서 이 사건 심결 중 이 사건 제1항, 제8항 발명에 관한 부분은 이와 결론을 달리하여 위법하고, 이 사건 제14항 발명에 관한 부분은 원고 주장의 위법사유가 없으므로, 이 사건 심결의 취소를 구하는 원고의 청구 중 이 사건 제1항, 제8항 발명에 관한 부분은 이유 있으므로 이를 인용하고, 나머지 청구는 이유 없으므로 이를 기각하기로 하여 주문과 같이 판결한다.

재판장 판사 임영우

판사 김기수

판사 윤정운

[별지 1]

이 사건 특허발명의 전체 청구범위

청구항 1. 벌크 실리콘기판과, 상기 벌크 실리콘기판에 연결되고 벌크 실리콘기판 상부 가운데에 단결정 실리콘으로 형성된 담장 모양의 Fin액티브 영역과, 상기 벌크 실리콘기판 표면에서 Fin액티브 영역의 일정 높이까지 형성된 제2산화막과, 상기 제2산화막 위의 Fin액티브 영역 양쪽 측벽에 형성된 게이트 산화막과, 상기 Fin액티브 영역의 위쪽 표면에 게이트 산화막과 같거나 두껍게 형성된 제1산화막과, 상기 제1,2산화막 위에 형성된 게이트와, 상기 게이트와 겹치는 Fin액티브 영역을 제외한 Fin액티브 영역 양쪽에 형성된 소스/드레인과, 상기 소스, 드레인, 게이트의 콘택 부분에 형성된 콘택영역 및 금속층을, 포함하는 이중-게이트 FinFET 소자.

청구항 2. 청구항 1에 있어서, 상기 Fin액티브 영역의 폭이 4 nm ~ 100 nm인 것을 특징으로 하는 이중-게이트 FinFET 소자.

청구항 3. 청구항 1 또는 청구항 2에 있어서, 상기 Fin액티브 영역의 높이가 벌크 실리콘기판 표면으로부터 10 nm ~ 1000 nm인 것을 특징으로 하는 이중-게이트 FinFET 소자.

청구항 4. 청구항 3에 있어서, 상기 Fin액티브 영역의 높이가 제2산화막 표면으로부터 5 nm ~ 300 nm인 것을 특징으로 하는 이중-게이트 FinFET 소자.

청구항 5. 청구항 1에 있어서, 상기 게이트 산화막의 두께는 0.5 nm ~ 10 nm이고, 제1산화막의 두께는 0.5 nm ~ 200 nm인 것을 특징으로 하는 이중-게이트 FinFET 소자.

청구항 6. 청구항 1에 있어서, 상기 제2산화막의 두께를 20 nm ~ 800 nm로 하여 게이트와 벌크 실리콘기판 사이의 기생용량 성분을 줄인 것을 특징으로 하는 이중-게이트 FinFET 소자.

청구항 7. 청구항 1에 있어서, 상기 금속층과 접촉하는 콘택영역을 Fin액티브 영역의 폭이나 게이트 길이보다 크게 하여 콘택저항을 줄인 것을 특징으로 하는 이중-게이트 FinFET 소자.

청구항 8. 청구항 1에 있어서, 상기 소스/드레인은 게이트와 접치는 Fin액티브 영역을 제외한 Fin액티브 영역 양쪽에, 게이트와 자기정렬 형태로 기생저항을 줄이기 위해 형성된 선택적 에피층을 성장한 것임을 특징으로 하는 이중-게이트 FinFET 소자.

청구항 9. 청구항 8에 있어서, 상기 선택적 에피층은, 상기 게이트가 10^{20}cm^{-3} 이상으로 도우핑 된 상태에서 습식으로 산화시켜, 게이트의 산화비가 Fin액티브 영역보다 큰 것을 이용하여, 성장한 산화막을 일부 식각하고, Fin액티브 영역의 측벽에 드러난 실리콘을 씨앗으로 한 것임을 특징으로 하는 이중-게이트 FinFET 소자.

청구항 10. 청구항 8에 있어서, 상기 선택적 에피층은, 상기 게이트에 절연막을 증착하고 이 절연막 두께와 상기 제2산화막 위로 돌출된 Fin액티브 영역의 높이만큼 비등방 식각하여 Fin액티브 영역과 게이트가 만나는 근처를 제외한 드러난 Fin액티브 영역의 실리콘과 게이트의 폴리실리콘을 씨앗으로 한 것임을 특징으로 하는 이중-게이트 FinFET 소자.

청구항 11. 청구항 8 내지 청구항 10중 어느 한 항에 있어서, 상기 선택적 에피층의 물질은 단결정 실리콘, 단결정 SiGe, 단결정 Ge, 폴리실리콘, 폴리 SiGe 중에서 하나 이상인 것을 특징으로 하는 이중-게이트 FinFET 소자.

청구항 12. 청구항 1에 있어서, 상기 Fin엑티브 영역에 형성되는 소스/드레인을 위한 도우핑의 접합 깊이가, 제2산화막 위쪽 표면을 기준(0 nm)으로 할 때, 위쪽으로 0 nm ~ 50 nm인 것을 특징으로 하는 이중-게이트 FinFET 소자.

청구항 13. 청구항 1에 있어서, 상기 Fin엑티브 영역에 형성되는 소스/드레인을 위한 도우핑의 접합 깊이가 제2산화막 위쪽 표면을 기준(0 nm)으로 할 때, 아래쪽으로 0 nm ~ -50 nm인 것을 특징으로 하는 이중-게이트 FinFET 소자.

청구항 14. 청구항 1에 있어서, 상기 Fin엑티브 영역의 폭이 벌크 실리콘기판에 가까워지면서 산화막 내에서 넓어져 상기 Fin엑티브 영역의 저항이 줄어듦을 특징으로 하는 이중-게이트 FinFET 소자.

청구항 15. 청구항 1에 있어서, 상기 Fin엑티브 영역이 상부 폭은 좁고, 하부 폭이 넓은 사다리꼴 모양인 것을 특징으로 하는 이중-게이트 FinFET 소자.

청구항 16. 청구항 1에 있어서, 상기 Fin엑티브 영역의 두 상부 모서리가 산화공정, 식각공정 또는 수소 분위기에서의 어닐링에 의해 둥글게 형성됨을 특징으로 하는 이중-게이트 FinFET 소자.

청구항 17. 벌크 실리콘기판에 단결정 실리콘으로 담장 모양의 Fin엑티브 영역을 형성하는 공정과, 상기 벌크 실리콘기판 표면에서 Fin엑티브 영역의 일정 높이까지 제2산화막을 형성하는 공정과, 상기 제2산화막 위로 형성된 Fin엑티브 영역 양쪽 측벽에 게이트 산화막을 형성하는 공정과, 상기 Fin엑티브 영역의 위쪽 표면에 게이트 산화막과 같거나 두껍게 제1산화막을 형성하는 공정과, 상기 제1, 2산화막 위에 게이트를 형성하는 공정과, 상기 게이트와 겹치는 Fin엑티브 영역을 제외한 Fin엑티브 영역 양쪽에 소스/드레인을 형성하는 공정과, 상기 소스, 드레인, 게이트의 콘택 부분에 콘택영역

및 금속층을 형성하는 공정을, 포함하는 이중-게이트 FinFET 소자 제조방법.

청구항 18. 청구항 17에 있어서, 상기 Fin액티브 영역과 제2산화막 형성 공정은, 상기 벌크 실리콘기판 표면의 중앙 상부에 사진전사(photolithography)하는 공정과, 상기 Fin액티브 영역을 제외한 벌크 실리콘기판의 나머지 표면에 제2산화막을 덮고, 상기 제2산화막을 CMP(Chemical Mechanical Polishing)를 이용하여 평탄화한 뒤, Fin액티브 영역의 표면에서 아래로 적정 두께만큼 식각하는 공정인 것을 특징으로 하는 이중-게이트 FinFET 소자 제조방법.

청구항 19. 청구항 17에 있어서, 상기 Fin액티브 영역과 제2산화막 형성 공정은, 제2산화막을 먼저 형성하고, 사진전사(photolithography)를 통해 상기 제2산화막에 폭이 좁은 트렌치를 형성하여 트렌치 바닥이 벌크 실리콘기판까지 닿게 하며, 트렌치 바닥에 드러난 벌크 실리콘기판의 실리콘을 씨앗으로 하여 선택적 에피층을 성장하는 공정과, 상기 제2산화막을 적정한 두께만큼 식각하는 공정인 것을 특징으로 하는 이중-게이트 FinFET 소자 제조방법.

청구항 20. 청구항 17에 있어서, 상기 제2산화막 형성 공정에서 필드 산화막을 형성하되, Fin액티브 영역 형성 공정은, 상기 벌크 실리콘기판 위에 사진전사를 수행하고 그 상부에 제1산화막/질화막/제3산화막을 차례로 형성하여 상기 제3산화막/질화막/제1산화막과 벌크 실리콘기판의 실리콘을 식각하는 공정이고, 상기 필드 산화막 형성 공정은, 상기 벌크 실리콘기판과 Fin액티브 영역에 버퍼 산화막/산화방지용 질화막/스페이서를 형성하여 식각을 수행하고 이때 드러난 상기 벌크 실리콘기판의 실리콘을 식각하며, 상기 스페이서를 제거한 상태에서 벌크 실리콘기판을 열산화시켜 필드 산화막을 성장한 후 버퍼 산화막과 산화방지용 질화막을 제거하는 공정인 것을 특징으로 하는 이중-

게이트 FinFET 소자 제조방법.

청구항 21. 청구항 20에 있어서, 상기 스페이서의 물질은 폴리실리콘이나 아몰퍼스 실리콘인 것을 특징으로 하는 이중-게이트 FinFET 소자 제조방법.

청구항 22. 청구항 17에 있어서, 상기 게이트 산화막을 형성하기 전에 돌출된 Fin액티브 영역의 측벽을 깨끗이 하고 이전 공정에 의한 데미지(damage)를 제거하기 위해 희생 산화막을 성장하였다가 제거한 후, 질소나 아르곤 분위기에서 어닐링을 수행함을 특징으로 하는 이중-게이트 FinFET 소자 제조방법.

청구항 23. 청구항 17에 있어서, 상기 게이트 형성 공정은, 폴리실리콘, 폴리 SiGe, 금속 중에서 어느 하나로 층을 형성하고 이 층에 대해 사진전사를 수행하는 공정인 것을 특징으로 하는 것을 이중-게이트 FinFET 소자 제조방법.

이 사건 특허발명의 주요 내용 및 도면

① 발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 이중-게이트 FinFET 소자 및 그 제조방법에 관한 것으로서, 더 상세하게는 벌크(bulk) 실리콘기판을 이용하되, 채널이 형성되는 바디(body)가 될 실리콘의 Fin액티브 영역이 나노 크기의 폭을 갖도록 하고 기판에 연결되도록 하며, 전류가 흐르는 길이 방향으로 담장처럼 형성되게 함으로써 전기적으로 안정된 이중-게이트 FinFET 소자 및 그 제조방법에 관한 것이다.

나노 CMOS 소자 기술은 CPU와 같은 로직 회로와 메모리 기술에 적용되어 엄청난 부가가치를 창출할 수 있는 특성을 갖고 있어 현재 전 세계적으로 연구가 매우 활발하게 진행되고 있다.

실리콘 반도체 기술을 이용한 시스템의 크기가 작아지고 낮은 전력소모를 필요로 하면서 소자 크기가 그에 따라 작아져야 한다.

이에 부응할 수 있는 가장 경쟁력이 있는 소자 기술이 CMOS 소자 기술이다.

이들 소자의 게이트 크기는 현재 계속 스케일링 다운되고 있는데, 그에 따른 문제가 계속 발생하고 있다.

가장 큰 문제는 소위 짧은 채널효과(Short Channel Effect)이다.

종래의 CMOS 기술은 주로 벌크(bulk) 실리콘기판에서 제작되어 왔다.

벌크 실리콘에서 만들어진 MOS 소자는 50 nm 이하의 게이트 길이로 스케일링 다운되면서 공정조건이 매우 민감하게 소자의 특성에 영향을 미치고, 또한 채널 길이가 30 nm 근처에서는 소자의 성능이 실제 회로에 적용되기에는 아직 충분하지 않다.

인텔(Intel)에서 개발한 30 nm CMOS 소자는 게이트 길이는 30 nm인데, I-V 특성이 종래의 것에 비해 우수하지 않다.

또한 실제 하나의 소자가 점유하는 면적은 스케일링 다운되지 않는 게이트 옆에 형성된 스페이서 영역 때문에 종래에 비해 줄어들지 않았기 때문에 집적도를 개선할 여지가 적다.

이들 벌크 실리콘 기판을 근간으로 하는 MOS 소자 기술에 한계가 생기면서 30 nm 이하의 채널 길이를 갖는 소자를 구현하기 위해 SOI(Silicon On Insulator) 실리콘기판을 근간으로

하는 소자에 대한 연구가 활발하게 진행되고 있다.

종래의 벌크 실리콘기판에서 제작한 소자 구조를 그대로 SOI 실리콘기판에서 제작하여 그 특성을 분석한 연구가 많이 진행되었으나, 실리콘 필름 두께가 얇은 관계로 기생 소스/드레인 저항이 크게 증가하여 소스/드레인 영역에 선택적으로 에피층을 성장해야 한다.

또한 소자의 바디가 SOI 소자의 특성상 기판과 연결되어 있지 않기 때문에 플로팅(floating) 바디 효과와 열전도가 잘 되지 않아 소자의 성능이 떨어지는 문제가 있다.

이와 같이 종래의 구조를 SOI 기판에 구현한 것은 벌크에서 구현한 소자에 비해 스케일링 다운 특성이 크게 개선되지 않아, CMOS 소자의 채널길이를 25 nm 또는 그 이하까지 줄이기 위한 가장 적합한 소자구조로 이중-게이트 소자 구조가 등장했다.

이중-게이트 소자는 전류가 흐르는 채널의 상하(아래와 위)나 좌우(왼쪽과 오른쪽)에 게이트 전극이 존재하여 게이트 전극에 의한 채널의 제어 특성을 크게 개선할 수 있다.

게이트에 의한 채널의 제어 특성이 큰 경우, 소스와 드레인 사이의 누설전류를 종래의 단일 게이트 소자에 비해 크게 개선할 수 있어 결국 DIBL(Drain Induced Barrier Lowering) 특성을 크게 개선할 수 있다.

또한 채널 양쪽에 게이트가 존재하여 소자의 문턱전압을 동적(dynamically)으로 변화시킬 수 있어 채널의 on-off 특성이 종래의 단일 게이트 구조에 비해 크게 개선되고 짧은 채널효과를 억제할 수 있다.

도 1은 종래의 이중-게이트 구조에서 전류가 흐르는 채널의 방향을 100 웨이퍼 표면을 기준으로 해서 간단하게 도식적으로 표현한 도면이다.

게이트(32)는 바디(채널,34)의 좌우 또는 상하에 형성된다.

도 1a는 방향 100 웨이퍼에 수직으로 형성되어 소스/드레인이 상하로 형성되는 일종의 3차원(3-D) 소자로 전류는 상하로 흐른다.

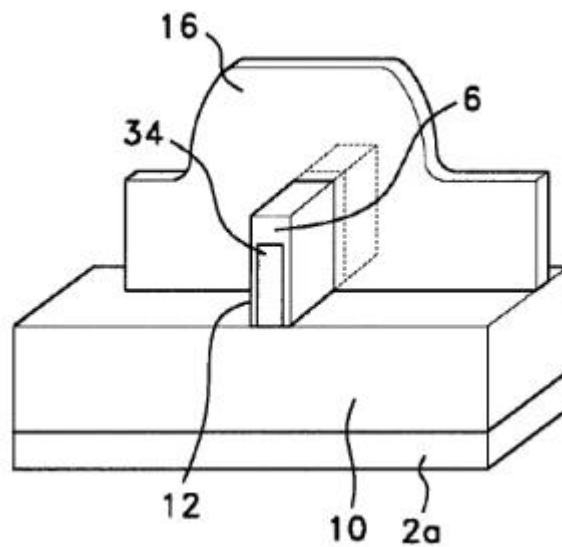
도 1b는 방향 100 웨이퍼에서 웨이퍼와 같은 면에 채널(34)이 형성되고 그 채널의 아래 위에 게이트(32)가 형성되는 표준 이중-게이트 MOS 소자 구조로 전류는 결정방향 100 면으로 흐른다.

도 1c는 방향 100 웨이퍼 면과 수직되게 형성된 면에 채널(34)이 형성되어 도 1a와는 달리 소스/드레인 영역이 상하로 형성되지 않고 100 웨이퍼 면과 같은 나란한 방향으로 전류가

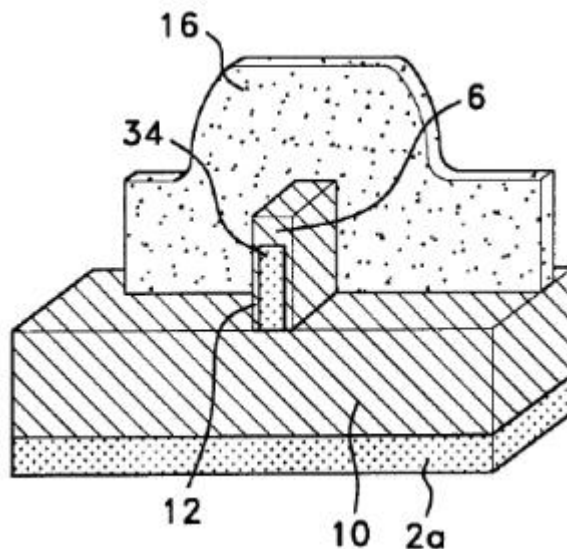
흐른다.

도 2는 종래 FinFET 구조를 보이고 있는 것으로, 배선을 위한 금속층은 생략하고 주요 부분만 표시한 것이다.

[도 2a와 도 2b] 종래 FinFET 소자의 구조로서 반투명과 해칭을 넣어 표시한 사시도



2a: SOI 실리콘기판, 6: 제1산화막, 10: 제2산화막, 12: 게이트산화막
16: 게이트, 34: 채널



도 2a와 도 2b는 같은 구조로 도 2a는 반투명으로 도 2b는 해칭을 넣어 표시한다.

도 1c에 해당하는 구조와 전류 방향을 갖고 있다.

채널의 양쪽(또는 상하)에 게이트 전극(16)을 두어 소위 짧은 채널효과를 크게 개선할 수 있다.

미설명 부호 2a는 SOI 실리콘기판, 6, 10은 산화막, 12는 게이트 산화막이다.

상기 도 1b와 도 1c의 특징을 가진 이중-게이트 소자를 구현하기 위한 방법을 자세히 설명하면 다음과 같다.

먼저 그 구현방법은 크게 2가지가 있다.

첫째, 도 1b에서와 같이 전류가 웨이퍼의 표면방향과 같은 방향인 수평으로 흐르는 구조이다.

이 구조에서는 종래의 경우와 같이 채널(34)이 실리콘의 결정방향 100에서 형성되어 종래의 구조에 비해 Si-SiO₂계면 특성이 저하되지 않는다.

도 1b의 이중-게이트 소자는 채널(34)의 아래와 위에 게이트(32)가 존재한다.

이 소자 구조는 바디 실리콘 영역의 필름 두께를 얇고 균일하게 제어하여 제작하는 것이 가능하다.

채널(34)의 아래와 위에 게이트(32)를 형성하기 위해서는 MEMS(Micro Electro-Mechanical System) 기술을 이용한 웨이퍼 본딩(bonding)과 etch-back 공정을 수행해야 하기 때문에 다소 공정이 복잡해진다.

이중-게이트 MOS 소자에서 아주 중요한 요건 중에 하나는 2개의 게이트(32)가 자기정렬되어야 하는데 그렇지 않으면 소자의 특성이 크게 저하된다.

채널(34)의 아래와 위에 게이트(32)를 갖는 도 1b의 소자에서 자기정렬형으로 게이트(32)를 구성하기 위한 연구가 많이 진행되고 있으며, 이들은 재료 및 공정상에서 복잡성을 유발한다.

소자의 스케일링 다운 특성을 개선하기 위해서는 채널 실리콘 필름의 두께를 20 nm 또는 그 이하로 줄여야 한다.

이와 같이 20 nm 이하의 두께를 갖는 실리콘 필름을 채널 및 소스/드레인 영역으로 그대로 사용하면 소자의 짧은 채널효과를 개선할 수 있지만 소스/드레인 기생저항을 크게 증가시켜 소자의 특성을 저하시키게 된다.

결국 자기정렬형을 구현하고 소스/드레인 저항을 줄이기 위해 공정의 복잡성을 감수해야 한다.

둘째, 이중-게이트 MOS를 구현하기 위한 다른 방법은, 도 1c에서와 같이 채널(34)의 양쪽(왼쪽과 오른쪽)에 게이트(32)를 형성하여 소자를 제작하는 방법이다.

상기 도 1c의 MOS 소자를 'FinFET'라고 부른다.

도 1c의 이중-게이트 소자는 SOI 소자 기술에서 채널이 되는 영역(34)의 폭을 나노미터 크기(대개 50 nm 이하)로 패턴을 형성하고 식각하여 게이트 물질을 증착하면 식각된 채널 패턴의 양쪽 측벽이 주 채널영역이 되는 것을 이용하는 것이다.

상기 구조에서는 전류가 흐르는 채널(34)이 웨이퍼 표면 방향과 수직으로 형성되어 전류가 흐른다.

상기 구조를 구현하는 공정은 게이트(32)가 아래/위에 있는 구조에 비해 공정이 크게 단순화 되는 특징이 있다.

그러나 표면이 100인 실리콘 기판에 수직으로 형성된 필름의 측면에 전류가 흐르는 채널(34)이 형성되기 때문에 채널의 결정방향은 통상 110이 되어 종래의 100 계면에 비해 계면 특성이 나쁘다.

이를 해결하기 위해서 웨이퍼의 일차 평탄 지역(primary flat zone)과 45도 방향으로 채널을 형성하면 결정방향 100 실리콘 면에 채널을 형성할 수 있다.

채널의 실리콘 영역은 나노 패터닝 기술에 의해 정의되기 때문에 아래/위에 게이트가 있는 이중-게이트 소자(도 1b)에 비해 채널이 형성되는 바디 폭의 변화가 상대적으로 커서 소자 특성의 편차가 상대적으로 크게 생겨날 수 있고, 기본적으로 게이트(32)가 채널(34)의 양쪽면에서 자기정렬형으로 형성되는 특징이 있다.

그러나 소스/드레인은 바디 영역과 같은 나노 폭을 갖기 때문에 기생 소스/드레인 저항이 증가하여 소자의 전류구동능력이 저하된다.

이를 해결하기 위해 소스/드레인이 될 영역에 자기정렬이 아닌 형태로 다결정 실리콘이나 SiGe 층을 증착하고 패터닝하는 공정을 추가하여 기생저항을 줄이려는 시도가 발표되었지만 그 효과가 크지 않고, 제조 공정의 변화나 공정의 추가가 있더라도 결국 얇은 폭을 갖는 채널과 소스/드레인 영역 사이의 기생저항을 줄이지는 못하였다.

즉, 종래의 SOI 실리콘기판(2a)에 형성된 이중-게이트 MOS 소자는 웨이퍼의 가격이 벌크 웨이퍼에 비해 훨씬 비싸고 기생 소스/드레인 저항이 증가하는 문제가 있었다.

또한 도 2에서 소자의 채널이 형성되는 바디(34)가 SOI 소자의 특성상 SOI 실리콘기판(2a)과 연결되어 있지 않기 때문에 플로팅 바디 문제를 가지고 있고 SOI 실리콘기판(2a)에 형성된 산화막(10)이, 소자에서 발생한 열이 SOI 실리콘기판(2a)으로 전도되는 것을 차단하여 소자의 성능이 떨어진다.

② 발명이 이루고자 하는 기술적 과제

본 발명은 상술한 문제점을 해결하기 위하여 안출된 것으로서, 벌크 웨이퍼를 사용하여 가격이 싸고 게이트와 자기정렬되게 소스/드레인에 에피층을 성장하여 기생저항성분을 줄일 수 있으며 실리콘 구조물인 Fin액티브 영역은 채널이 형성되는 바디이고 벌크 실리콘기판과 연결되어 플로팅 바디 문제를 해결할 수 있을 뿐만 아니라 열전도가 잘 되어 소자의 특성을 향상시킬 수 있는 이중-게이트 FinFET 소자 및 그 제조방법을 제공하는데 그 목적이 있는 것이다.

상술한 목적을 달성하기 위하여 본 발명은, 벌크 실리콘기판과, 상기 벌크 실리콘기판에 연결되고 벌크 실리콘기판 상부 가운데에 단결정 실리콘으로 형성된 담장 모양의 Fin액티브 영역과, 상기 벌크 실리콘기판 표면에서 Fin액티브 영역의 일정 높이까지 형성된 제2산화막과, 상기 제2산화막 위의 Fin액티브 영역 양쪽 측벽에 형성된 게이트 산화막과, 상기 Fin액티브 영역의 위쪽 표면에 게이트 산화막과 같거나 두껍게 형성된 제1산화막과, 상기 제1,2산화막 위에 형성된 게이트와, 상기 게이트와 겹치는 Fin액티브 영역을 제외한 Fin액티브 영역 양쪽에 형성된 소스/드레인과, 상기 소스, 드레인, 게이트의 콘택 부분에 형성된 콘택영역 및 금속층을 포함하는 이중-게이트 FinFET 소자를 제공하고자 한다.

상술한 목적을 달성하기 위하여 본 발명은, 벌크 실리콘기판에 단결정 실리콘으로 담장 모양의 Fin액티브 영역을 형성하는 공정과, 상기 벌크 실리콘기판 표면에서 Fin액티브 영역의 일정 높이까지 제2산화막을 형성하는 공정과, 상기 제2산화막 위로 형성된 Fin액티브 영역 양쪽 측벽에 게이트 산화막을 형성하는 공정과, 상기 Fin액티브 영역의 위쪽 표면에 게이트 산화막과 같거나 두껍게 제1산화막을 형성하는 공정과, 상기 제1,2산화막 위에 게이트를 형성하는 공정과, 상기 게이트와 겹치는 Fin액티브 영역을 제외한 Fin액티브 영역 양쪽에 소스/드레인을 형성하는 공정과, 상기 소스, 드레인, 게이트의 콘택 부분에 콘택영역 및 금속층을 형성하는 공정을 포함하는 이중-게이트 FinFET 소자

제조방법을 제공하고자 한다.

③ 발명의 구성 및 작용

이하 본 발명을 첨부된 도면을 참고로하여 설명하면 다음과 같다.

먼저 본 발명의 기본적인 구성을 살펴보면, 벌크 실리콘기판(2b)과, 상기 벌크 실리콘기판(2b)에 연결되고 벌크 실리콘기판 상부 가운데에 단결정 실리콘으로 형성된 담장 모양의 Fin액티브 영역(4)과, 상기 벌크 실리콘기판(2b) 표면에서 Fin액티브 영역(4)의 일정 높이까지 형성된 제2산화막(10)과, 상기 제2산화막(10) 위의 Fin액티브 영역(4) 양쪽 측벽에 형성된 게이트 산화막(12)과, 상기 Fin액티브 영역(4)의 위쪽 표면에 게이트 산화막(12)과 같거나 두껍게 형성된 제1산화막(6)과, 상기 제1,2산화막(6,10) 위에 형성된 게이트(16)와, 상기 게이트(16)와 겹치는 Fin액티브 영역(4)을 제외한 Fin액티브 영역(4) 양쪽에 형성된 소스/드레인과, 상기 소스, 드레인, 게이트(16)의 콘택 부분에 형성된 콘택영역(46) 및 금속층(48)으로 이루어진다.

상술한 구성에서, 제2산화막(10)의 두께를 20 nm ~ 800 nm로하여 게이트(16)와 벌크 실리콘기판(2b) 사이의 기생용량 성분을 줄일 수 있다.

상술한 구성에서, 상기 금속층(48)과 접촉하는 콘택영역(46)을 Fin액티브 영역(4)의 폭이나 게이트(16) 길이보다 크게 하여 소자의 집적도를 개선하고 콘택 저항을 줄일 수 있다.

상술한 구성에서, 상기 Fin액티브 영역(4)의 폭을 일정하게 하지 않고 벌크 실리콘기판(2b)에 가까와짐에 따라 제2산화막(10) 내에서 넓어지도록 하여 Fin액티브 영역(4)의 저항을 줄일 수 있다.

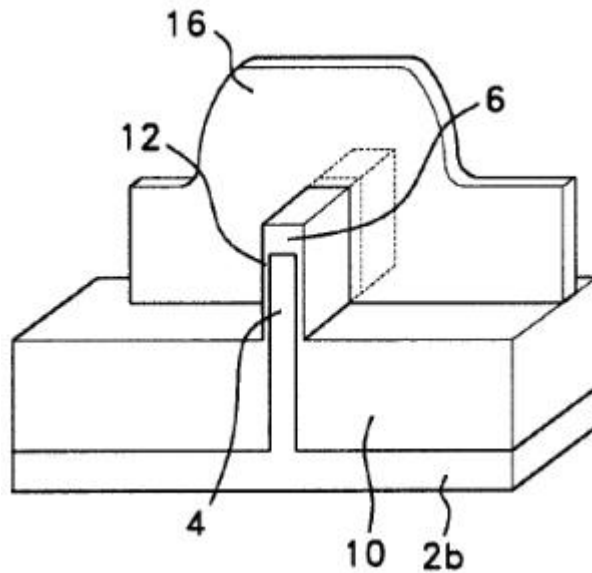
상술한 구성에서, 상기 Fin액티브 영역(4)이 상부 폭은 좁고, 하부 폭이 넓은 사다리꼴 모양으로 할 수 있다.

상술한 구성에서, 상기 Fin액티브 영역(4)의 두 상부 모서리를 900°C 이상의 산화공정, 식각공정 또는 수소 분위기에서의 어닐링을 통해 둥글게 형성하여 소자의 내구성을 향상시킬 수 있다.

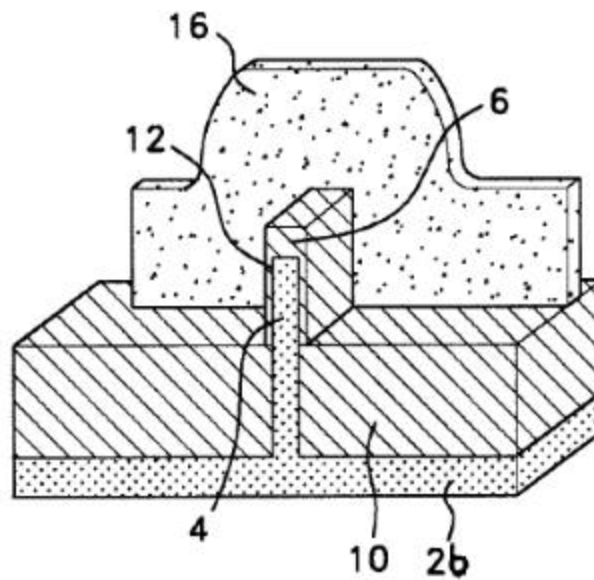
상술한 구성에서, 상기 게이트(16)를 구성하는 물질은 폴리실리콘, 폴리 SiGe, 금속을 사용할 수 있다. 도 3은 본 발명에서 제안한 소자의 구조를 보인다.

[도 3a,도 3b] 본 발명에 따른 FinFET 소자의 구조로서 반투명과 해칭을 넣어 표시한

사시도



2b: 벌크 실리콘 기판, 4: Fin 액티브 영역, 6: 제1산화막, 10: 제2산화막,
12: 게이트 산화막, 16: 게이트



배선을 위한 금속층은 제외하고 주요 부분만 보인 것으로, 같은 구조를 도 3a는 반투명으로
도 3b는 해칭을 넣어 표시하였다.

도 2와 다른 점은 Fin액티브 영역(4)이 플로팅(floating)되어 있지 않고 벌크 실리콘
기판(2b)에 연결되어 있으며, 이것에 의해 특성이 크게 개선된다.

즉, 채널이 형성되는 바디가 벌크 실리콘기판(2b)에 연결되어 기존의 SOI 실리콘 기판(2a)에 형성된 소자가 갖는 플로팅 바디 문제가 없고, 또한 소자의 채널에서 생성되는 열이 기존의 구조에 비해 훨씬 쉽게 벌크 실리콘기판(2b)으로 빠져 나갈 수 있다.

또한 SOI 웨이퍼 대신 벌크 웨이퍼를 사용하여 제작하므로 가격면에서도 유리하다.

도 4a는 본 발명에서 제안한 구조로서, 도 3a와 같은 구조로 비교를 위해 첨가한 것이고, 도 5a는 도 4a의 구조에서 기생 소스/드레인 저항을 줄이기 위한 선택적 에피층(18) 첨가를 추가로 보인 것이다.

도 4a와 도 5a는 배선을 위한 금속층은 제외하고 주요 부분만 도시한 것이고, 도 4b와 도 5b는 각각의 도면에 대한 평면도를 보이고 있다.

도 4b에서 게이트(16)가 겹치지 않는 Fin액티브 영역(4)에 소스/드레인 영역이 형성된다.

상기 Fin액티브 영역(4)에서 소스/드레인이 형성되는 곳에 콘택(contact)이 형성되어 금속선이 연결되는 부분은 채널과 같은 폭의 Fin 구조이기 때문에, 기생 소스/드레인 저항을 크게 증가시키는 단점이 있어 도 5b와 같이 하여 기생저항 성분을 줄인다.

여기서 FinFET 소자의 소스/드레인 영역에만 선택적 에피층(18)을 성장하는 과정을 살펴본다.

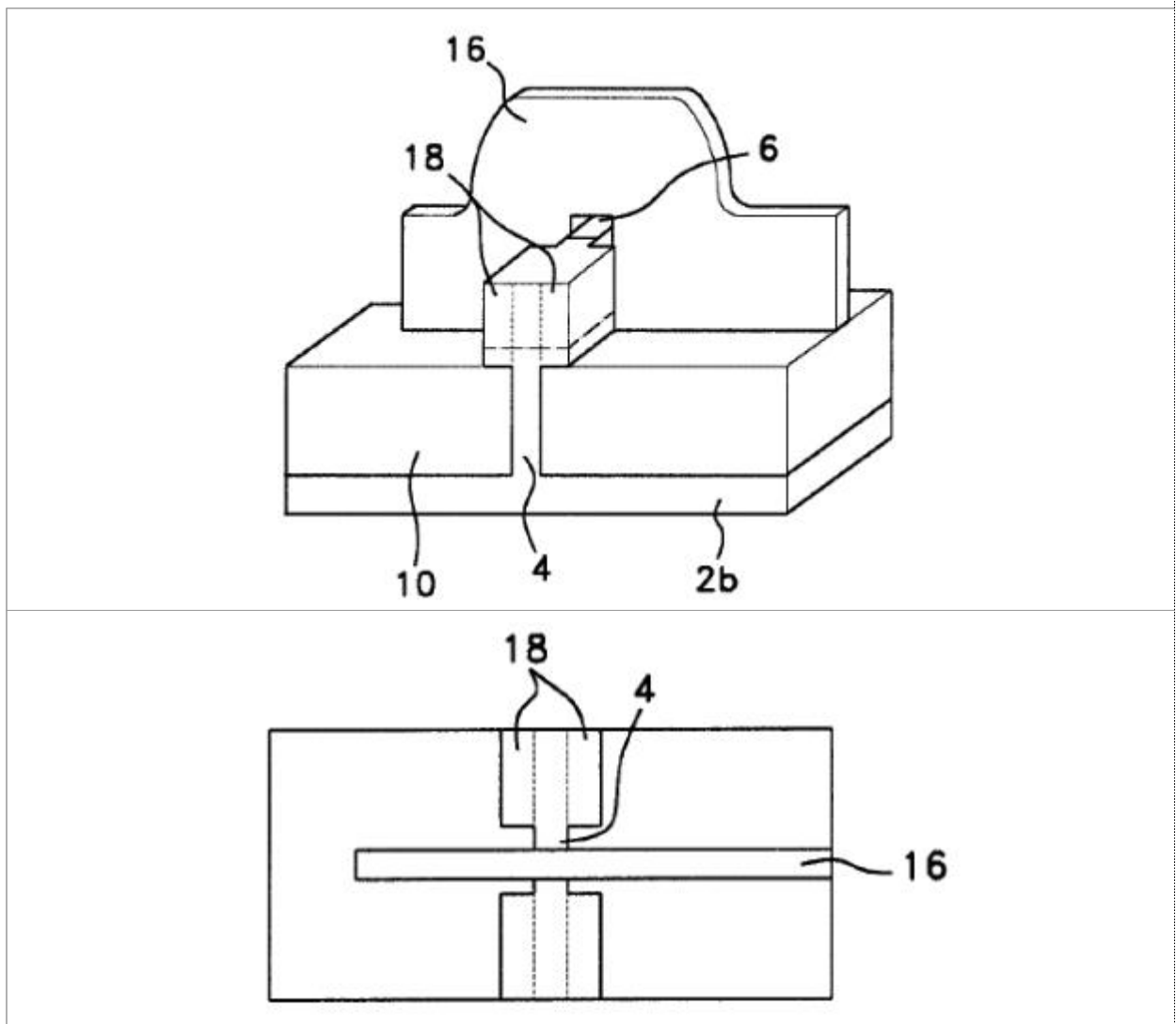
먼저 소자의 구조가 게이트(16) 형성까지 되어 있다고 가정한다.

채널의 도우핑($\sim 10^{18} \text{cm}^{-3}$)에 비해 게이트(16)가 10^{20}cm^{-3} 이상으로 도우핑되어 있는 상태에서 5 nm에서 20 nm 정도 이내로 습식으로 산화를 시키면 게이트(16)에는 3 내지 5배 정도 도우핑에 의해 훨씬 두껍게 산화막이 성장한다.

상기 성장된 산화막을 채널에 형성된 산화막 두께를 기준으로 다시 식각하면 Fin액티브 영역의 측벽에 형성된 산화막이 없어지고 Fin액티브 영역(4)의 실리콘이 드러나게 된다. 이때 상대적으로 두껍게 산화막이 성장된 게이트(16)는 여전히 산화막에 덮혀있게 된다.

[도 5a, 도 5b] 본 발명의 다른 실시예에 따른 FinFET 구조를 보여주는 사시도와 그 패턴을 보여주는 평면도

2b: 벌크 실리콘 기판, 4: Fin 액티브 영역, 6: 제1산화막, 10: 제2산화막,
16: 게이트, 18: 선택적 에픽층



소스/드레인의 Fin액티브 영역(4)의 측벽에 드러난 실리콘을 씨앗(seed)으로 하여 선택적 에피층(18)을 성장시킨다.

경우에 따라서는 Fin액티브 영역(4)의 측벽 및 상부에도 실리콘이 드러나게 하고 그것을 씨앗으로 하여 선택적 에피층(18)을 성장할 수 있다.

이때 성장되는 선택적 에피층(18)으로는 단결정 실리콘, 단결정 SiGe, 단결정 Ge, 폴리실리콘, 폴리 SiGe이 가능하다.

도 4a와 도 5a에서 Fin액티브 영역(4)에 일점쇄선으로 표시된 것은 소스/드레인 접합깊이를 나타낸다.

여기서는 접합깊이가 제2산화막(10) 표면 위쪽 면보다 더 위에 위치하고 있음을 알 수 있고, 이는 접합깊이를 조절하여 짧은 채널효과를 제어하기 위함이다.

상기 제2산화막(10)의 위쪽 면을 기준(0 nm)으로 했을 때 소스/드레인 접합깊이가 위쪽으로, 즉, 0 nm 보다 크고 50 nm 이내로 하면 짧은 채널효과를 억제할 수 있다.

반대로 접합깊이를 아래 쪽으로, 즉, 0 nm 보다 작고 -50 nm 보다 크면 짧은 채널효과보다는 전류 구동능력을 증가시키는 효과를 가져 온다.

도 5a에서 선택적 에피층(18)을 성장하는 다른 일례를 소개한다.

공정 순서에서 게이트(16) 형성까지 완료한 다음 절연막을 5 nm에서 100 nm 사이의 두께로 증착하고, 증착한 두께와 제2산화막(10) 위로 돌출된 Fin액티브 영역(4)의 높이에 해당하는 두께만큼 비등방 식각하면 게이트(16)와 소스/드레인 Fin액티브 영역(4)이 만나는 근처에만 절연막이 형성되고 다른 곳은 드러나게 된다.

드러난 Fin액티브 영역(4)의 실리콘 영역과 게이트(16)의 폴리실리콘 영역을 씨앗으로 하여 선택적 에피층(18)을 5 nm에서 100 nm 사이의 한 값으로 성장시킨다.

그러면 선택적 에피층(18)이 소스/드레인 영역에도 성장되고 드러난 폴리실리콘 또는 SiGe 게이트(16)에도 성장되어 저항을 줄일 수 있게 된다.

물론 게이트(16)와 소스/드레인은 전기적으로 절연되어 있다.

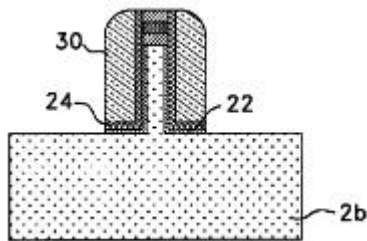
도 13은 본 발명에서 제안한 FinFET 소자의 채널이 형성되는 바디를 구현하기 위한 하나의 다른 예로서, 스페이서(30) 형성과 필드(field) 산화막(28) 성장기술을 도입하여 구현하는 방법의 주요 공정단계를 보인다.

도 12에 비해 스페이서(30)를 구성하는 물질만 다르다.

도 13a에서는 나노 사진전사를 수행하여 Fin액티브 영역(4)을 형성한 후 0.5 nm에서 200 nm 사이 두께의 제1산화막(6)을 형성하고 그 위에 10 nm에서 200 nm 사이의 두께를 갖는 질화막(14)을 형성하며, 다시 그 위에 5 nm에서 500 nm 사이의 두께를 갖는 제3산화막(20)을 형성한다.

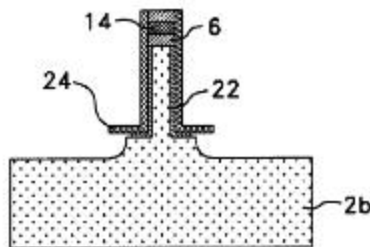
[도 13b, 13c, 13d] 본 발명의 제5실시예에 따라 FinFET 소자의 바디 구조를 구현하는 공정을 보여주는 예시도

[도 13b]

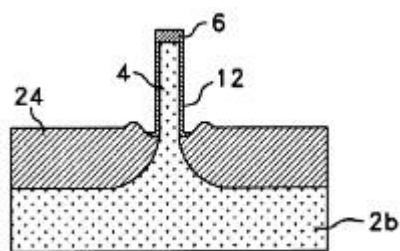


2b: 벌크 실리콘 기판, 22: 버퍼산화막, 24: 질화막, 30: 스페이서 산화막

[도 13c]



[도 13d]



제3산화막(20), 질화막(14), 제1산화막(6) 및 벌크 실리콘기판(2b)의 실리콘을 식각하면 도 13a의 단면 구조를 얻게 된다. 형성된 Fin액티브(4) 영역의 높이는 10 nm에서 1000 nm 사이의 값이 되게 한다.

이 상태에서 얇은 버퍼 산화막(22)을 1 nm에서 20 nm 사이의 두께로 형성하고 그 위에 산화방지용 질화막(24)을 5 nm에서 50 nm 사이의 두께로 형성한다.

그 위에 다시 스페이서(30) 물질로 폴리실리콘이나 아몰퍼스 실리콘으로 5 nm에서 500 nm 사이의 두께로 형성하고 비등방 건식식각을 수행하면 스페이서(30)가 형성된다.

이 구조는 도 13b에서 보여주고, 도 13b의 스페이서(30)와 도 12b의 스페이서 산화막(26)은 그 물질이 다르다.

도 13b에서는 스페이서(30) 물질로 폴리실리콘이나 아몰퍼스 실리콘을 사용하는 데, 이는 도 12b에서 스페이서 산화막(26)을 식각할 때 산화방지용 질화막(24) 아래에 있는 버퍼 산화막(22)이 식각되어 이후의 필드 산화막(28) 성장에 나쁜 영향을 줄 수 있기 때문이다.

또한 상기 폴리실리콘이나 아몰퍼스 실리콘은 높은 농도로 도우핑 되는 것도 가능하다.

도 13b에서 드러난 스페이서(30)와 벌크 실리콘기판(2b)을 식각하기 위해 실리콘을 30 nm에서 300 nm 사이의 두께로 등방 식각하면 도 13c의 단면 구조가 된다. 이 상태에서 필드 산화막(28)을 30 nm에서 500 nm 사이 두께로 성장하고 질화막(14,24)을 제거하면 도 13d와 같은 단면을 갖게 된다.

결국 필드 산화막(28) 위로 돌출된 영역 Fin액티브 영역(4)의 높이는 5 nm에서 300 nm 사이가 된다. 도 13d에서는 형성된 Fin액티브 영역(4)에 게이트 산화막(12)을 성장한 단면을 나타낸다.

상기 게이트 산화막(12)을 형성하기 전에 돌출된 Fin액티브 영역(4)의 측벽을 깨끗이 하고 이전 공정에 의한 데미지(damage)를 제거하기 위해 희생 산화막을 성장하였다가 제거한 후, 질소나 아르곤 분위기에서 어닐링을 수행함이 바람직하다.

이후의 후속 공정은 도 9d, 도 10d, 도 11d, 도 12d의 후속 공정과 같다.

[4] 발명의 효과

이상에서 살펴본 바와 같이 본 발명에 의하면, 벌크 웨이퍼를 사용하여 가격이 싸고 게이트와 자기정렬되게 소스/드레인에 에피층을 형성하여 기생저항성분을 줄일 수 있으며, 실리콘 구조물인 Fin액티브 영역은 채널이 형성되는 바디이고 벌크 웨이퍼와 연결되어 플로팅 바디 문제를 해결할 수 있을 뿐만 아니라 열전도가 잘 되어 소자의 특성을 향상시킬 수 있다.

선행발명 1의 주요 내용 및 도면

[선행발명 1의 번역문 2면 일부]

[산업상 이용 분야]

본 발명은, 얇은 채널 영역을 가진 절연 게이트형 전계 효과 반도체 장치(이하, IG-FET로 약 기) 및 그 제조 방법에 관한 것이다.

[종래 기술]

종래의 IG-FET의 일례로서 n채널형 IG-FET의 경우에 대해 이하에 설명하기로 한다. (중략)
최근, IG-FET의 상호 컨덕턴스(드레인 전류를 게이트 전압으로 미분한 값)의 증대, 단채널화 등의 목적으로 채널 영역의 반도체층의 두께를 (1) 식의 W_{max} 에 비해 작게 하여 채널 영역 전체를 공핍화하는 구조가 여러가지 제안되고 있다. 그러한 예를 도 12~도 14에 도시한다.
도 12(a) 및 (b)은, SOI(Silicon On Insulator) 기술을 이용하여 두께(D)가 최대 공핍층 폭(W_{max})보다 작은 반도체층을 단결정 실리콘에 의한 반도체 기판(11) 위에 배치한 산화 실리콘에 의한 절연물층(12) 위에 형성하고, 이 반도체층 안에 IG-FET의 소스 영역(6), 채널 영역(3), 드레인 영역(7)을 형성한 것이다(참고문헌 : 「전자 정보 통신 학회 기술 보고」 (요시미 신타, Vol.SDM87-154, pp.13-18)). (중략)

[선행발명 1의 번역문 3면, 4면 일부]

이상에 추가하여, 도 12의 구조에서는 D를 작게 한 결과, 채널 영역(3)이 작아지고 또한 게이트 전극(5)의 근방에 위치하므로, 채널 영역(3)에 대한 드레인 전계의 영향이 게이트 전극(5)에 의해 차폐된다. 이 효과에 의해, 채널 길이를 짧게 했을 때의 문턱값 전압의 저하나, 역치 계수의 증대 등 이른바 단채널 효과가 억제되어 채널 길이가 짧은 고성능의 IG-FET가 실현 가능해진다.

그러나 도 12의 구조에서는, 채널 수직 방향의 전계의 총합에 의해 채널 영역 전체의 전위가 상승하기 때문에 소스 영역(6)과 채널 영역(3) 사이의 포텐셜 장벽이 저하된다. 이 포텐셜 장벽의 저하에 의해 드레인 근방의 임팩트 이온화로 발생한 홀이 소스 영역(6)에 유입될 때에, 소스 영역(6)으로부터 다량의 전자가 채널 영역(3)에 주입되어 드레인 내압이 저하되는 문제가 생긴다.

이 문제 외에, 도 12의 구조에서는 SOI 기술이 일반적으로 미숙하기 때문에 반도체층의 결정 품질이 나쁘다는 문제가 있다. (중략)

도 14는 도 13의 구조를 SOI 기술을 이용하지 않고 실현한 것이다 (참고 문헌:「제5회 응용물리학 관계 연합 강연회 강연 예고집」(미즈노 도모히사 외, Vol.2, p.592, 1988)). 이 경우에는, 벌크 결정을 가공하여 반도체층을 만들 수 있기 때문에 결정 품질이 저하되는 문제는 발생하지 않는다.

또한 도 14의 구조는 채널 영역(3)이 반도체 기판(1)과 접속되어 있기 때문에, 드레인 영역(7)의 근방에서 임팩트 이온화에 의해 생긴 홀은 반도체 기판(1)으로 유출된다. 따라서 드레인 내압이 저하되는 문제는 일어나지 않는다.

그러나 도 14의 구조에서는 전류가 반도체 기판(1)의 면과 수직인 방향으로 흐르기 때문에, 통상의 IG-FET를 이용한 집적 회로와는 다른 특수한 레이아웃을 필요로 한다는 문제가 있다. 예를 들면, 복수의 소자 사이에서 소스 영역이나 드레인 영역을 공용시켜 회로의 점유 면적을 줄이는 수법을 사용할 수 없다. 이것은 설계의 품을 증가시킬 뿐만 아니라 집적 회로 전체의 면적을 증대시키게 된다.

또한 도 14의 구조에서는, 소스 영역(6) 및 (6')이 넓은 면적으로 반도체 기판(1)에 접하고 있기 때문에 양자간의 기생 용량이 크다는 문제가 있다. 트랜스퍼 게이트, 강화/강화형 게이트, 강화/디프레션형 게이트 등에서는 출력 노드에 소스 영역이 접속되기 때문에 기판(1)과의 사이의 기생 용량의 증가는 동작 속도의 저하 등 바람직하지 않은 결과를 초래하여 바람직하지 않다.

[발명이 해결하려고 하는 과제]

그래서 본 발명의 목적은, 상술한 점을 감안하여 도 12 및 도 13에 도시한 종래 예의 구조에서의 드레인 내압이 저하되는 문제점과 반도체층의 결정 품질이 나쁜 문제점 및 도 14의 종래 예의 구조에서의 특수한 레이아웃을 필요로 하는 문제점과 기생 용량이 크다는 문제점을 해결하도록 적절한 구조로 한 절연 게이트형 전계 효과 반도체 장치 및 그 제조 방법을 제공하는 데 있다.

[과제를 해결하기 위한 수단]

본 발명에서는, 상술한 여러 문제점을 이하와 같은 수단으로 해결한다.

드레인 내압이 저하되는 문제점은, 채널 영역의 일부가 기판 반도체와 접하는 구조로 함으

로써, 드레인 근방에서 임팩트 이온화에 의해 생긴 홀을 기판측에 유출시킴으로써 해결한다. 반도체층의 결정 품질이 나쁜 문제점은, 품질이 좋은 벌크 반도체 결정을 이용할 수 있는 소자 구조로서, 채널 영역의 일부가 기판 반도체와 접하는 구조로 함으로써 해결한다. 특수한 레이아웃을 필요로 하는 문제점은, 전류가 흐르는 방향(소스 영역 및 드레인 영역을 묶는 방향)을 기판면과 평행하게 함으로써 해결한다. 이 상태는 채널 영역이, 소스 영역 및 드레인 영역을 묶는 방향을 포함한 면에서 기판과 접하는 구조로 함으로써 실현될 수 있다. 기생 용량이 큰 문제점도 채널 영역이 기판과 접하는 부위를 상기와 같이 정하고 양자가 접하는 면적을 작게 함으로써 해결한다.

[선행발명 1의 번역문 5면 일부]

[작용]

본 발명에 의하면, 드레인 내압 저하의 문제 없이 채널 영역 전체가 공핍화되는 박층의 IGFET의 이점, 즉, 상호 컨덕턴스의 증가, 서브 스레숄드 계수의 저감, 단채널 효과의 억제 등을 실현할 수 있다.

본 발명에서는, 품질이 좋은 벌크 반도체 결정을 사용할 수 있기 때문에 소자 특성은 양호하다. 본 발명에서는, 전류가 흐르는 방향이 기판면과 평행하기 때문에 고밀도로 소자를 배치하는 것이 가능하다.

추가로 본 발명에 의하면, 소자가 기판과 접하는 면적은 작고 기생 용량의 증가도 적다.

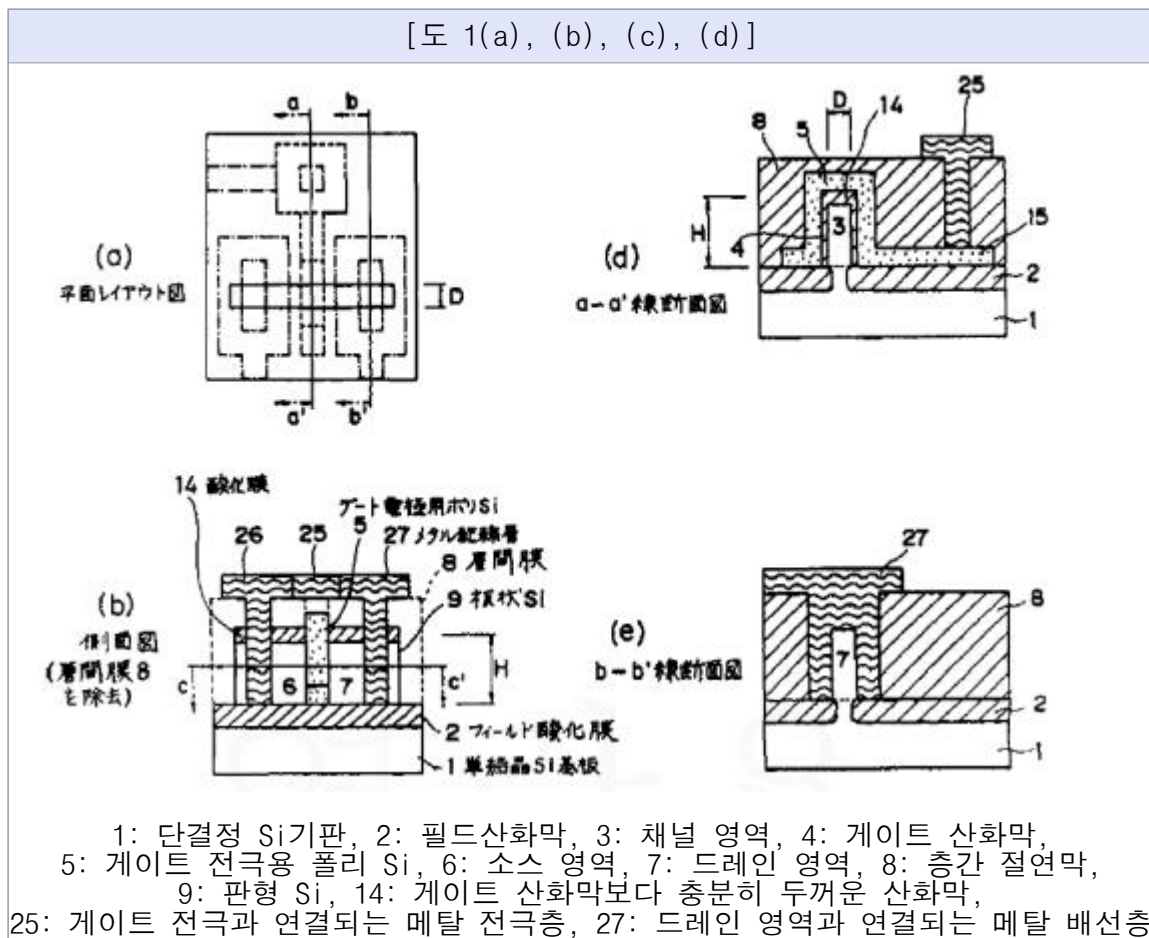
[선행발명 1의 번역문 6면 일부]

실시에 1:

도 1(a)~(e)에 본 발명의 제1 실시예를 나타낸다. 도 1(a)는 기판면에 수직인 방향에서 본 평면적인 레이아웃도, 도 1(b)는 층간의 절연막(8)을 없앤 상태에서 본 측면도, 도 1(c)는 도 1(b) 중의 cc' 선으로 기판면과 평행하게 절단한 단면도, 도 1(d)는 도 1(a) 중의 a-a'선으로 기판면과 수직으로 절단한 단면도, 도 1(e)는 도 1(a) 중의 b-b'선으로 기판면과 수직으로 절단한 단면도이다. 도 1(d)에 나타난 범례에 있는 활성 Si란, 소스 영역, 채널 영역, 드레인 영역을 함께 가리킨다. 폴리 Si란, 고농도로 도핑된 다결정 Si이며, 본 실시예에서는 게이트 전극(5)과 게이트 전극 인출부(15)에 이용되고 있다. 콘택홀이란, 소스 영역(6), 드레인 영역(7), 게이트 전극 인출부(15)를 각각 메탈 배선층(26, 27, 25)에 전기적으로 접속하기 위해 층간 절연막(8)에 뚫린 구멍이다.

도 1(a)~(e)에 나타난 바와 같이 본 실시예의 IG-FET는, 단결정 Si기판(1)에 대해 수직으로 배치된 높이(H), 두께(D)의 박판형의 Si(9)안에 형성되어 있다. 즉, 기판(1)에 접하고 또한 이 기판(1)에 대해 수직으로 배치된 박판형 Si(9)의 양단에 소스 영역(6) 및 드레인 영역(7)을 마련하고, 중앙부는 그 측부에 산화 Si에 의한 게이트 절연막(4)을 형성하고, 그 꼭지부에 두께와 유전율의 비가 게이트 절연막(4)의 그것보다 큰 절연막(14)을 형성하고, 그 게이트 절연막(4) 및 절연막(14)을 덮어 폴리 Si에 의한 게이트 전극(5)을 마련한다(도 1(c), (d) 참조). 게이트 전극(5)의 전극 인출부(15)에는 메탈 배선층(25)을 접속한다(도 1(d) 참조). 소스 영역(6) 및 드레인 영역(7)에는 메탈 배선층(26) 및 (27)을 각각 접속한다(도 1(c) 및 (e) 참조). 2는 소자간 분리용 필드 산화막, 예를 들면 산화 Si막이며, 이 막(2)에 형성된 개구를 사이에 두고 상술한 박판형 Si(9)는 기판(1)과 접하고 있다.

[도 1(a), (b), (c), (d)]



이상의 구조에 의해, 게이트 산화막(4)에 의해 한정된 상자형 채널 영역(3)은, 6개의 면으로

둘러싸여 있으며 그 제1 면은 소스 영역(6)에 접하고, 제1 면과 대향하는 제2 면은 드레인 영역(7)과 접하고 있다. 소스 영역(6) 및 드레인 영역(7)을 묶는 방향을 포함한 제3 면은 기판(1)에 접하고 있다. 이 제3 면과 대향하는 제4 면에는, 두께와 유전율의 비가 게이트 산화막(4)의 그것보다 큰 산화막이 형성되어 있으며, 서로 대향하는 제5 및 제6 면은 게이트 절연막(4)이 형성되어 있다. 그 결과, 판형 Si 상면의 문턱값 전압은 측면의 문턱값 전압보다 충분히 커져, 형성된 소자의 서브 스레숄드 특성이 상면의 채널 전류의 영향을 받아 열화되는 현상이 방지된다.

[선행발명 1의 번역문 7면 일부]

또 도 1(d) 및 (e)의 단면도로부터 알 수 있듯이, 본 실시예의 IG-FET의 소스 영역(6), 채널 영역(3) 및 드레인 영역(7)은, 각각의 영역의 하부에서 Si기판(1)과 접하고 있다. 이로써 드레인 근방에서 임팩트 이온화에 의해 발생한 홀은 신속하게 Si기판(1)에 흐르기 때문에, 활성 Si영역이 전기적으로 부유 상태에 있는 SOI 위의 IG-FET의 경우에, 지금까지 문제가 되어 왔던 드레인 내압의 저하가 발생하지 않는다.

또한 각 영역이 Si기판(1)과 접하고 있는 부분의 폭이 D 이하로 매우 좁기 때문에 대(對)기판간의 기생 용량은 작아 본 실시예의 IG-FET는 고속으로 동작하는 것을 기대할 수 있다.

이에 더해 본 실시예의 IG-FET는, 판형 Si(9)의 측면을 채널면으로서 이용하기 때문에 기판면 수직 방향에서 본 평면적인 치수는 작아도 실효적인 채널폭은 크게 할 수 있어 집적도의 향상을 도모할 수 있다.

선행발명 2의 주요 내용 및 도면

[선행발명 2의 2면 일부]

본 발명은 반도체 장치와 이를 이용한 연산 장치, 신호 변환기 및 신호 처리시스템에 관한 것으로, 특히 병렬로 산술 연산을 수행할 수 있는 반도체 장치와, 이를 이용한 예를 들면 상관 산술 연산을 수행할 수 있는 연산 장치, A/D(아날로그/디지털) 또는 D/A(디지털/아날로그)로 신호를 변환하기 위한 신호 변환기, 신호 처리시스템에 관한 것이다.

최근에 신호 처리의 향상으로 인해, 짧은 주기 동안에 고속으로 매우 큰 데이터 용량을 처리할 수 있는 저가의 연산 장치를 실현하는 것이 매우 중요해지고 있다. 특히, 다이내믹 영상의 모션 검출에 사용될 수 있는 상관 연산 장치(correlation operating device)를 위한 기법, 고정밀도 아날로그 대 디지털(A/D) 변환기, 확산 스펙트럼(SS) 통신 등은 GHz의 단위로 처리되는 신호 처리를 요구한다.

통상 이러한 기능이 반도체 집적 회로에 의해 실현되는 경우에는, 병렬 산술 연산은 고속 처리가 이루어지도록 복수의 반도체 칩을 사용하여 달성되거나, 또는 최근의 마이크로-레이아웃 룰(micro-layout rule)을 사용하는 상당히 큰 칩 상에 집적되는 회로를 사용하여 달성되고 있다.

공지된 바와 같이, 칩의 회로 스케일은 처리될 신호의 비트 수가 증가하면 바로 증가하게 된다. 예를 들면, 회로 스케일은 연산될 비트 수의 제곱에 비례하여 증가한다. 따라서, 비트 수가 증가함에 따라, 많은 경우에 비용이 증가하거나 회로 스케일이 비실용적인 레벨까지 증가한다.

상술한 바와 같은 종래의 문제점을 해결할 수 있는 새로운 신호 처리를 실현할 수 있는 반도체 장치를 제공하는 것이 본 발명의 목적이다. 비트 수가 동일하다면 종래의 장치보다 작은 스케일의 회로를 사용하여 고속 산술 연산을 실현할 수 있는 반도체 장치를 제공하는 것이 본 발명의 목적이다. 연산될 비트 수가 증가할 때에도 회로 스케일의 증가를 방지할 수 있는 반도체 장치를 제공하는 것이 본 발명의 또 다른 목적이다.

종래의 장치와 동일한 연산 기법을 사용하여, 종래의 장치보다 더욱 높은 정밀도를 갖는 산술 연산을 수행할 수 있는 반도체 장치를 제공하는 것이 본 발명의 또 다른 목적이다. 종래

의 장치로는 실현할 수 없거나, 매우 높은 단가가 요구되었던 단일 처리 기능을 실용적인 저가에 실현할 수 있는 반도체 장치를 제공하는 것은 본 발명의 또 다른 목적이다.

상기 반도체 장치를 이용하는 연산 장치, 신호 변환기 및 신호 처리 시스템을 제공하는 것은 본 발명의 또 다른 목적이다.

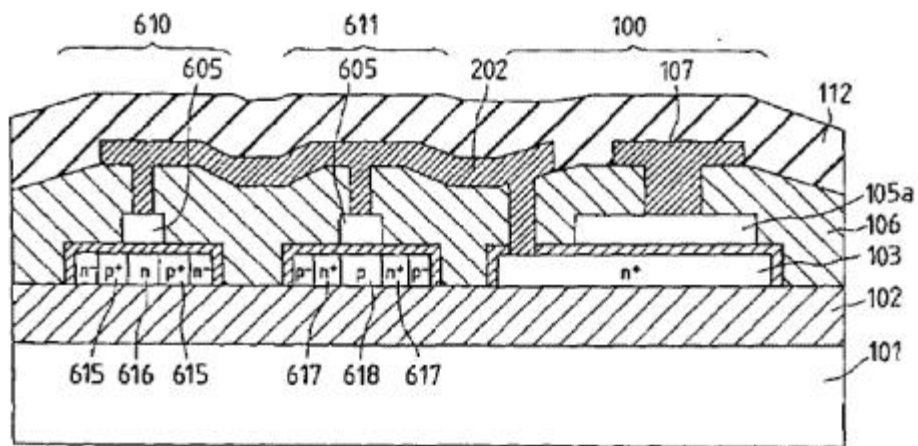
복수의 입력 단자, 입력 단자에 전기적으로 접속된 복수의 캐패시터, 상기 캐패시터의 나머지 단자에 전기적이며 공통적으로 접속된 센스 증폭기를 포함하며, 캐패시터와 센스 증폭기는 절연 표면상에 반도체 층을 이용하여 형성되는 것을 특징으로 하는 반도체 장치 및 이 반도체 장치를 이용한 연산 장치, 신호 변환기, 및 신호 처리 시스템을 제공하는 것은 본 발명의 또 다른 목적이다.

[선행발명 2의 6면 일부]

[제3실시예]

제16도를 참조하여 제3실시예가 이하에서 기술된다. 본 실시예에서, 제16도는 제1실시예에서의 NMOS 및 PMOS 트랜지스터가 완전한 공핍형 구조를 구비하는 경우를 도시하는 단면도이다. 그러므로, 등가 회로도는 제1실시예의 제1도와 동일하며, 본 실시예에서의 동일한 참조 부호는 제1실시예에서의 동일한 부분을 나타낸다.

[도 16] 본 발명에 따른 반도체 장치의 단면도



101: 반도체 기판, 102: 절연층, 610: PMOS 트랜지스터, 611: NMOS 트랜지스터
605: 게이트 전극, 202: 플로팅 노드, 107: 신호입력전극, 100: 커패시터 소자

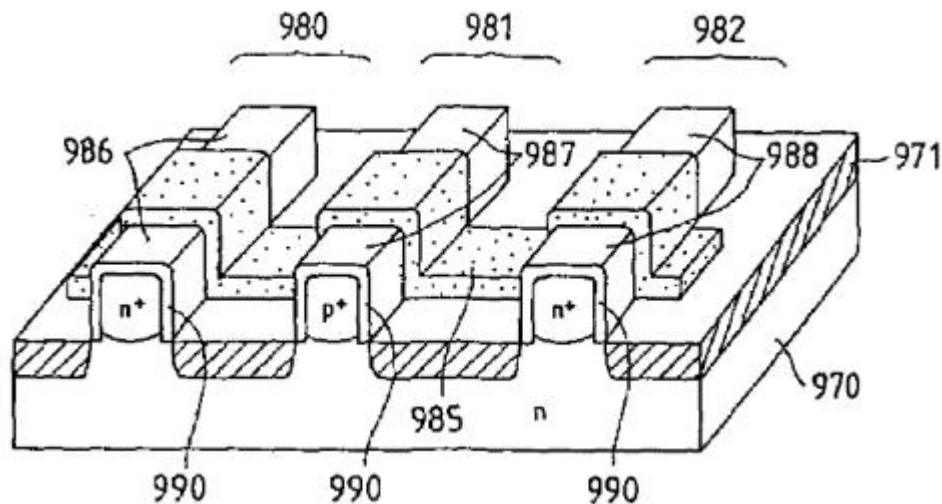
제16도에 도시된 구조는 PMOS 트랜지스터(610), NMOS 트랜지스터(611), p+ 형 소스-드레

인 영역(615), n형 웰(616), n+ 형 소스-드레인 영역(617), p형 웰(618) 그리고 게이트 전극(605)을 포함한다. (중략)

제21도는 이중 게이트 트랜지스터를 이용한 바람직한 실시예를 설명하는 사시도이다. NMOS 및 PMOS 트랜지스터부와 캐패시터 소자부의 단면 구조는 산화막(941)이 없다는 것을 제외하고는 제18도 내지 제20도에 도시된 것과 실질적으로 동일하다는 점에 주목하여야 한다. 이들 예에서 전원 배선은 도시되지 않았지만, 제3실시예와 동일한 효과가 동일한 구조에 의하여 제공될 수 있다.

제17도 내지 제20도 및 제21도에 도시된 구조는 실리콘 기판(940, 970), 두꺼운 산화막(941, 971), NMOS 트랜지스터(950, 980), PMOS 트랜지스터(951, 981), 캐패시터 소자(952, 982), 폴리실리콘 플로팅 노드(955, 985), NMOS 소스-드레인 영역(956, 986), PMOS 소스-드레인 영역(957, 987), 신호 입력 단자(958, 988), 그리고 게이트 산화막(960)을 포함한다.

[도 21] 본 발명에서 사용될 수 있는 MOS 트랜지스터의 투시도



980: NMOS 트랜지스터, 981: PMOS 트랜지스터, 982: 커패시터 소자
 986: NMOS 소스-드레인 영역, 987: PMOS 소스-드레인 영역, 988: 신호 입력단자
 985: 게이트 전극, 971: 두꺼운 산화막, 990: 게이트 산화막

[별지 5]

선행발명 3의 주요 내용 및 도면

[선행발명 3의 번역문 1면, 2면]

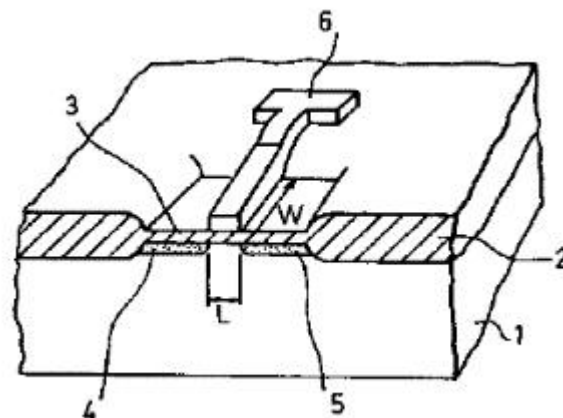
[산업상의 이용 분야]

본 발명은 반도체 장치, 더욱 상세하게는 MOS 전계 효과 트랜지스터(FET)에 관한 것이다.

[종래의 기술]

종래의 일반적인 MOSFET은, 도 7의 단면 사시도에 도시한 바와 같이 반도체 기판(실리콘 웨이퍼)(1)의 표면 상에 두꺼운 절연막(산화막)(2)과 얇은 절연막(게이트 산화막)(3)이 형성되고, 반도체 기판(1) 내에 소스 영역(4) 및 드레인 영역(5)이 형성되며, 게이트 전극(다결정 실리콘 또는 알루미늄의 전극)(6)이 소스-드레인간 영역(채널 영역)의 상방에서 절연막(2, 3) 상에 형성되어 있다. 또한 SOI(Silicon on Insulator) 구조의 MOSFET도 알려져 있다(예컨대, S.M.Sze(Editor), "VLSI TECHNOLOGY", McGraw-Hill, 1983, pp. 80-85 참조). 이 SOI 구조 MOSFET에 있어서 실리콘의 섬 형상 부분은 길이 방향으로 수직인 단면에서 그 높이가 폭보다 작고 또한 길이 방향으로 차례로 소스 영역, 채널 영역 및 드레인 영역이 형성되어 있다.

[도 7] 종래의 MOSFET의 개략 단면 사시도



1: 실리콘 웨이퍼, 2: 두꺼운 절연막(산화막), 3: 얇은 절연막(게이트 산화막),
4: 소스 영역, 5: 드레인 영역, 6: 게이트 전극
L: MOSFET의 채널 길이, W: MOSFET의 채널 폭

[발명이 해결하고자 하는 문제점]

IC, LSI 등의 반도체 장치의 고집적화에 따라 각각의 MOSFET의 미세화를 도모할 수 있고, 이 때문에, MOSFET의 채널 길이 및 채널폭(W)(도 7)도 작게 해야 한다. 이와 같이 미세화로 채널 길이 및 채널폭(W)을 작게 하면 이득 상수 β 값이 작아지는 문제가 있다. β 값은 채널폭과는 비례 관계에 있고, 채널 길이와는 반비례 관계에 있으며, 그리고 채널 길이를 짧게 하면 짧은 채널 효과가 발생하게 되므로, β 값을 크게 하려면 채널폭을 크게(길게) 하는 방향에서의 대책이 요구되고 있다.

또한 SOI 구조 MOSFET에서는 실리콘 섬 형상 부분과 절연층과의 계면에서의 소스 드레인 간 누설 전류가 발생한다. 종래에는 이 계면 누설 전류를 억제하기 위해 이온 주입이나 실리콘 기판으로의 전압 인가(백 게이트 제어화)가 이루어져 있다. 이온 주입에서는 주입 후의 열처리에 의한 불순물의 재분포에 의해 프론트의 문턱값 전압(V_{th})의 시프트, 역(逆)도전형 불순물 주입에 의한 채널 컨덕턴스의 감소에 의한 β 값 감소 등의 결점이 있고, 또한 기판으로의 전압 인가에서는 플로팅 상태의 SOI 기판의 전위가 변동하고, 프론트의 문턱값 전압(V_{th}) 시프트에 연결되고, 또한 하지 절연막이 두꺼워지면, FET의 동작 전위($\pm 5V$) 정도)보다 상당히 높은 전위($\pm$ 수+V)의 전압이 필요해지는 등의 결점이 있다. 계면 누설 전류의 억제를 수행하는 별도의 대책이 요구되고 있다.

[문제점을 해결하기 위한 수단]

상술한 과제는 다음과 같은 MOSFET을 제공함으로써 해결되고, 그것은 MOSFET의 소스 영역, 드레인 영역 및 채널 영역의 반도체 부분이 웨이퍼 기판의 평면에 대해 거의 수직인 측면을 갖는 직방체형이고, 상기 직방체형 반도체 부분의 높이가 그 폭보다 크며 또한 게이트 전극이 상기 웨이퍼기판의 평면에 수직 방향으로 연장되는 것을 특징으로 하는 MOSFET이다.

일반적인 MOSFET이라면, 직방체형 반도체 부분이 실리콘 웨이퍼 기판의 일부인 것은 바람직하고, 또한 SOI 구조 MOSFET인 경우, 절연막 상의 단결정 실리콘층의 일부인 것은 바람직하다. 게이트 전극이 직방체형 반도체 부분의 일측 측면으로부터 상각을 넘어 반대측 측면까지 연장되어 채널폭이 길어져 있는 것은 바람직하다.

[실시예]

이하, 첨부 도면을 참조하여 본 발명을 그 바람직한 실시예에 따라 상세하게 설명한다.

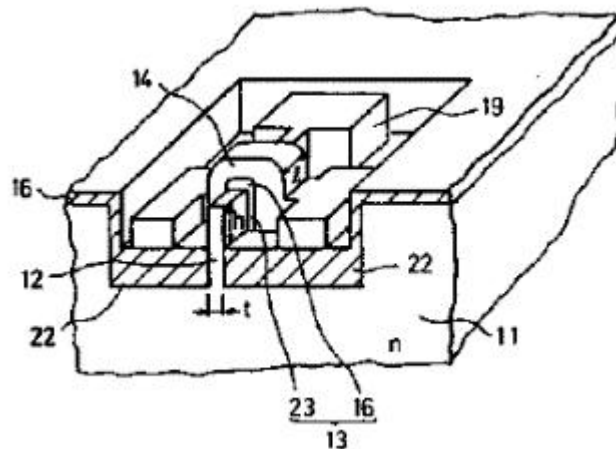
예 1

[선행발명 3의 번역문 3면, 4면]

도 1은 실리콘 웨이퍼 기판의 일부를 직방체형 반도체 부분으로 한 본 발명에 따른 MOSFET의 개략 단면 사시도이고, 도 2a~도 2e 및 도 3은 이 MOSFET을 제조하는 과정을 설명하는 도면이다.

도 1에 도시한 MOSFET을 P채널 MOS 트랜지스터로서, n형 실리콘(Si) 웨이퍼 기판(11)의 일부를 그 높이가 폭보다 큰 직방체형 반도체 부분(12)로 하고, 이 부분을 소스 영역, 드레인 영역 및 채널 영역으로 하며, 또한 채널 영역에 대응하는 절연막(13) 상에 게이트 전극(14)이 설치되어 있다. 본 발명에 따라 직방체형 반도체 부분(12)의 측면은 웨이퍼 기판(11)의 평면에 대해 거의 수직하며, 그리고 게이트 전극(14)도 측면을 따라 존재하므로 웨이퍼 기판(11)의 평면에 대해 수직한 상태이다. (중략)

[도 1] 본 발명에 따른 MOSFET의 개략 단면 사시도



11: 실리콘 웨이퍼 기판, 12: 직방체형 부분, 13: 절연막, 16, 23: SiO₂막
14: 게이트 전극, 16: SiO₂막, 19: 패드 모양 부분, 22: SiO₂막

도 1의 MOSFET은 다음과 같이 제조된다.

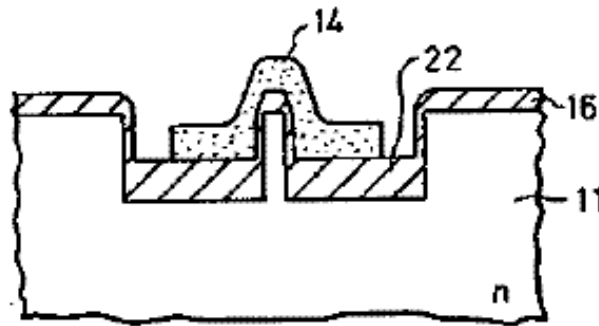
우선 n형 실리콘 웨이퍼 기판(11)을 준비하고, 도 2a에 도시한 바와 같이 열 산화법(또는 CVD법)으로 SiO₂막(16)(두께:0.2μm)을 웨이퍼 기판(11) 상에 형성한다. SiO₂막(16) 상에 레지스트를 도포하고, 노광·현상하여 소정 패턴의 레지스트층(17)을 형성한다. (중략)

열 산화법에 의해 표출 실리콘을 산화하여 게이트 산화막이기도 한 얇은 SiO₂막(23)(두께:40nm)을 수직한 돌기형 부분 및 홈의 측면 상에 형성한다(도 2d). CVD법에 의해 폴리실리콘층(두께=0.4μm)(14)을 전면에 형성한다. 이 폴리실리콘층(14)에 N형 불순물(인)을 확산

시켜 n형 폴리실리콘층으로 해 둔다.

게이트 전극 패턴의 레지스트층(미도시)을 폴리실리콘층(14) 상에 형성하고, 이것을 마스크로서 에칭하여 폴리실리콘 게이트 전극(14)을, 도 2e 및 도 1에 도시한 바와 같이 형성한다. 별도의 레지스트층을 형성하고, 이것과 폴리실리콘 게이트 전극(14)을 마스크로 하여 직방체형 부분(12)과 패드상 부분(19, 20)의 표면 상 SiO₂막(16, 23)을 에칭 제거한다. 레지스트층을 남긴 채로 이온 주입법으로 P형 불순물(보론)을 직방체형 부분(12)와 패드상 부분(19, 20)의 실리콘에 도프하여 P+ 영역을 형성한다. 레지스트 제거 후에 어닐링 열처리를 하여 이들 P+ 영역이 게이트 전극의 양측에서 소스 영역 및 드레인 영역이 되고, 게이트 전극에 덮여 도프되지 않은 직방체형 부분(12)의 일부분이 채널 영역이 된다.

[도 2e] 도 1의 MOSFET의 제조 공정을 설명하는 MOSFET의 개략 단면도



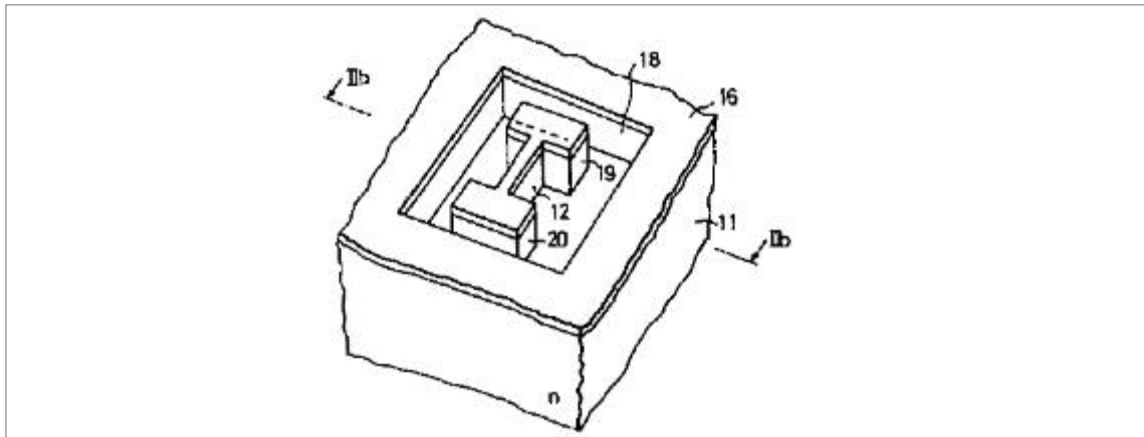
11: 실리콘 웨이퍼 기판, 16: SiO₂막
14: 게이트 전극, 22: SiO₂막

이 경우에는, 도 1에 도시한 구조의 MOSFET이 얻어지고, 채널폭(W)은 직방체형 부분(12)의 높이(h)(0.5μm)의 2배(L=2h)가 되고, 채널 길이(L)는 종래와 동일하게 게이트 전극폭(ℓ)(0.1μm)에 대응된 것이 된다.

그리고 소정의 배선(알루미늄 배선, 미도시)을 게이트 전극(14)의 패드 부분, 패드상 부분(19,20)에 접촉시켜 통상의 방법으로 형성하게 된다. 배선 형성 전에 홈을 매립하는 평탄화 방책을 실시하는 것이 바람직하다.

[도 3] 도 1의 MOSFET의 제조 공정에서의 부분 사시도

11: 실리콘 웨이퍼 기판, 12: 직방체형 부분, 16: SiO₂막
18: 홈, 19, 20: 패드 모양 부분



[별지 6]

선행발명 4의 주요 내용 및 도면

[0043] 또한 본 트랜지스터의 소스/드레인 영역 4와 소스/드레인 접속부 32를 합한 부분이 통상의 싱글 드레인 전계 효과형 트랜지스터에 있어서의 소스/드레인 영역의 작용을 갖는 부분이라고 할 수 있다. 소스/드레인 영역에서 채널 형성 영역에 대해서 얇게 연장된 소스/드레인 익스텐션을 가지는 전계 효과형 트랜지스터에 대해서는 본 실시 형태의 소스/드레인 접속부 32가 소스/드레인 익스텐션에 해당한다.

[0101] 즉 도27~도 31, 도 33, 도 34 및 도46~도 49의 형상은 모두 채널 형성 영역 7에서 소스/드레인 영역 4에 걸쳐 반도체층 3의 폭Wsi가 퍼지는 형태를 가지지만, 이 경우, 채널 형성 영역 7의 횡방향 폭Wsi, 혹은 적어도 채널 형성 영역 7의 중앙부에서의 폭Wsi가 작아 지므로, 통상의 SOI형 전계 효과형 트랜지스터에 있어서 반도체층을 박막화하는 것과 같이 S팩터의 개선, 짧은 채널 효과의 억제 등에 효과가 있고, 트랜지스터의 특성이 향상된다.

[0102] 그 한편, 소스/드레인 영역에 접하는 위치에서는 전도 경로 33을 구성하는 반도체층 3의 폭이 커지므로, 기생저항을 감소할 수 있다.

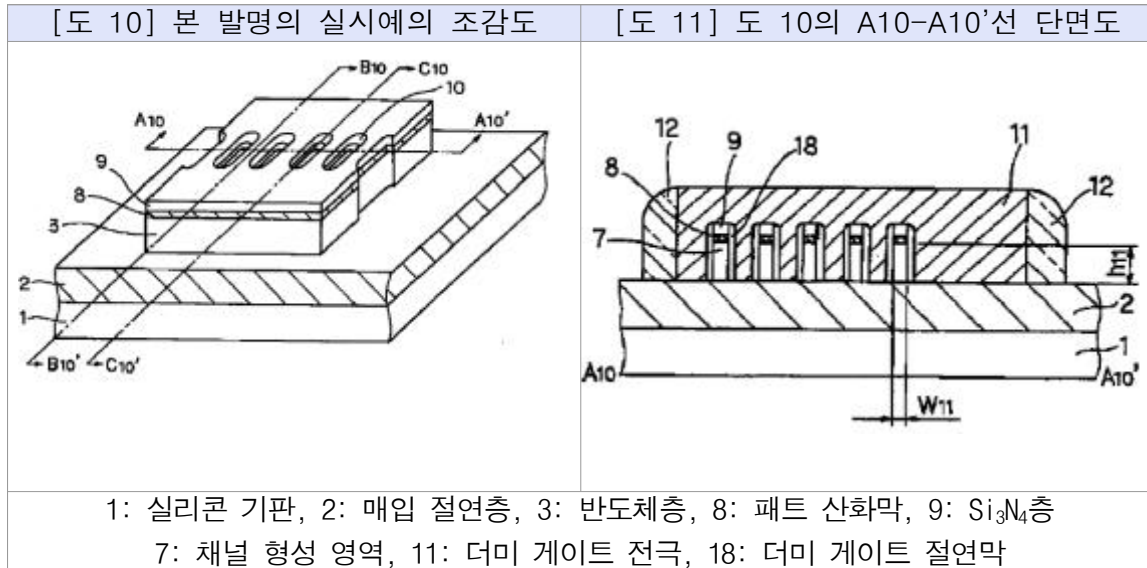
[0105] 본 발명에 의하면 개구부 10의 배열 방향에서의 소스/드레인 접속부 32의 폭을 채널 형성 영역 7을 구성하는 반도체층 3과 접하는 부분에서는 작게 함으로써 짧은 채널 효과 억제 작용을 얻을 수 있는 것과 동시에, 개구부 10의 배열 방향에서의 소스/드레인 접속부 32의 폭을 소스/드레인 영역 4와 접하는 부분에서는 크게 함으로써 기생저항 억제 작용을 얻을 수 있고, 상술한 제3 과제를 억제할 수 있다.

[0120] (실시 예 3) 이어서 본 발명에 따른 실시 예 1 및 실시 예 2에 나타난 종형 전계 효과형 트랜지스터를 제조하는 제조 방법을 공정순으로 설명한다.

[0121] 도 9에 나타난 바와 같이, 실리콘 기판 1상에 두께 100 nm의 SiO₂로 구성되는 매입 절연층 2를 가져, 그 상부에 두께 120 nm의 단결정 실리콘층으로 구성되는 반도체층 3을 가지는 SOI(실리콘 온 절연체) 기판을 준비한다.

[0124] 다음으로 도 10에 나타난 바와 같이, 개구부 10이 배열한 패턴을 포함한 일정한 영

역(예를 들면 도 9에 있어서 A9의 점선으로 둘러싼 범위)을 덮는 레지스트 패턴을 설치하고 이 레지스트 패턴을 마스크로서 Si₃N₄막 9, 패드 산화막 8을 RIE에 의해 패터닝한다.



[0144] 이 단계에서의 구조를 도 10의 A10-A10'선 단면도인 도 11, 도 10의 B10-B10'선 단면도인 도 12, 도 10의 C10-C10'선 단면도인 도 13에 나타낸다.

[0149] 게이트 전극 5의 양측, 개구부 10에서 떨어진 부분의 반도체층 3에는 통상의 공정에 의해 소스/드레인 영역을 형성한다. 예를 들면 이온 주입, 플라즈마 도핑 등에 의해 n채널 트랜지스터의 경우는 n형 불순물, p채널 트랜지스터의 경우는 p형 불순물을 고농도 ($3 \times 10^{19} \text{cm}^{-3}$ 이상, 바람직하게는 $1 \times 10^{20} \text{cm}^{-3} \sim 3 \times 10^{20} \text{cm}^{-3}$)에 도입한다. n형 불순물에는 예를 들면 인, 비소 등 도너를 형성하는 불순물, p형 불순물에는 예를 들면 붕소 등 억셉터를 형성하는 불순물을 이용한다. 또한 소스/드레인 영역에 대해서 기생저항 감소를 위해 반도체의 에피택셜 성장, 다결정 또는 아모퍼스 반도체의 선택 성장을 실시해도 좋고 또한 실리콘 사이드화를 수행해도 좋다.

[0215] (실시 예 6) 개구부에 PSG막을 설치하는 것이 아니라, 실시예 4 방법에 따라 게이트 전극 5 또는 더미 게이트 전극 11에 절연막 측벽(게이트 사이드 월)을 설치한 후에 선택 에피택셜 성장에 의해 채널 타입과 같은 도전형 불순물을 고농도로 포함한 반도체(Si, 실리콘-

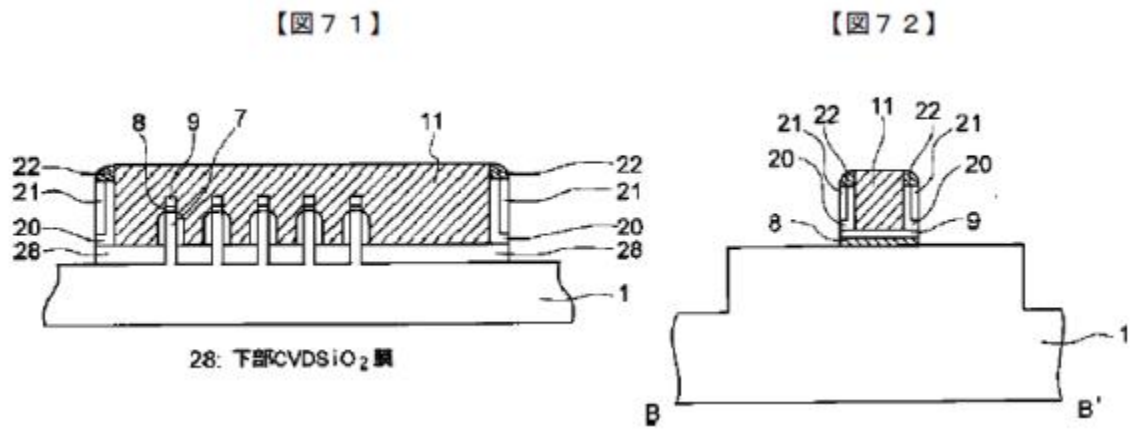
게르마늄 혼정 등)를 소스/드레인 접속부의 측면에 성장시키면, 도 33, 도 70에 나타내는 형상의 소스/드레인 접속부를 얻을 수 있다. 이 경우 소스/드레인 접속부의 형상은 채널 형성 영역과의 접속점에서 게이트 사이드 월을 격위치에서 소스/드레인 영역을 향하여 경사지면서 두꺼워지는 형상을 가진다. 이러한 경사는 선택 에피택셜 성장 시에 형성되는 정벽(패시)에서 유래하는 것이다.

[0216] 도 33은 선택적 에피택셜 성장을 적은 듯하게 수행한 경우, 도 70은 선택적 에피택셜 성장을 넉넉하게 수행한 경우이다. 또한 도 34는 선택 에피택셜 성장 시에 정벽(패시)이 형성되지 않는 경우, 또는 채널 타입과 같은 도전형 불순물을 고농도에 포함한 반도체(Si, 실리콘-게르마늄 혼정 등)의 비정질층, 혹은 다결정으로 구성되는 층을 선택적으로 성장한 경우이다.

[0223] (실시 예 7) 실시 예 6 제조 방법을 이용할 경우, 당초 반도체층에 설치하는 개구부의 형상은 도 32와 같이 직사각형으로 하고, 게이트 전극 5(또는 더미 게이트 전극 11)를 형성 후, 소스/드레인 접속부 32에 반도체층의 선택 성장을 함으로써, 소스/드레인 접속부 32의 폭이 채널 형성 영역 7 측에서는 좁고 소스/드레인 영역 4 측에서는 넓고 그 사이에서는 소스/드레인 접속부 32의 폭이 연속적, 또는 단계적으로 변화하는 형상(도 33, 도 34)을 얻을 수 있다. 이 때, 실시예 6과 동일하게 반도체층의 선택 성장 시에 반도체층으로의 도핑을 동시에 수행해도 좋고 반도체층의 성장 중은 도핑을 하지 않고, 에피택셜 성장 후에 성장한 반도체층으로 불순물을 도입하는 방법을 취해도 좋다. 또한 성장과 동시에 불순물을 도입한 후, 성장 후 재차 불순물을 도입해도 좋다.

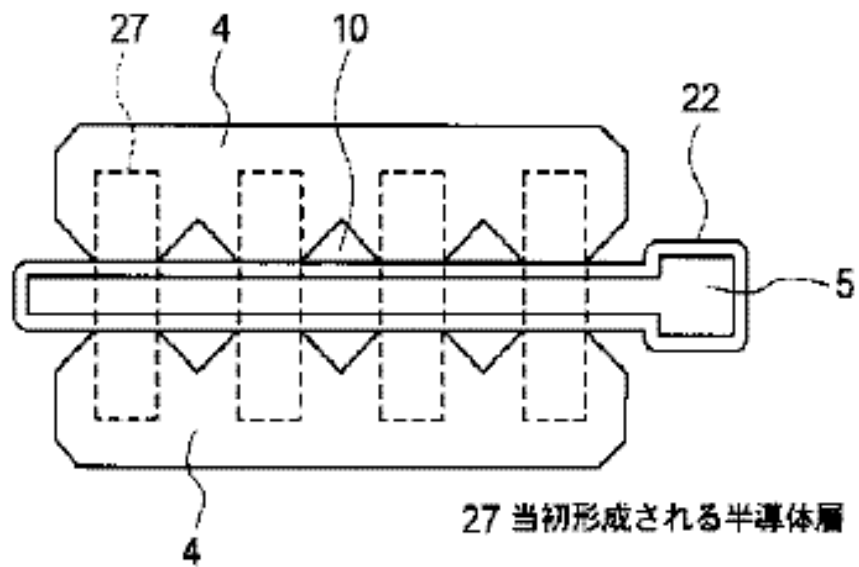
[0253] 또한 도 71, 도 72는 벌크 기판상의 요철이 있는 반도체 영역상에 설치된 게이트 전극(또는 더미 게이트 전극)에 게이트 사이드 월을 설치한 경우의 형태, 도 73, 도 74는 절연체상의 반도체층상에 설치되는 전계 효과형 트랜지스터에 있어서 게이트 전극의 하부에 반도체층이 잔존하는 형태에 대해 각각 도 10의 A10-A10'선 단면, B10-B10'선 단면에 해당하는 위치에서 그린 단면도이다. (후략)

[도 71], [도 72] 본 발명의 실시예를 나타내는 단면도



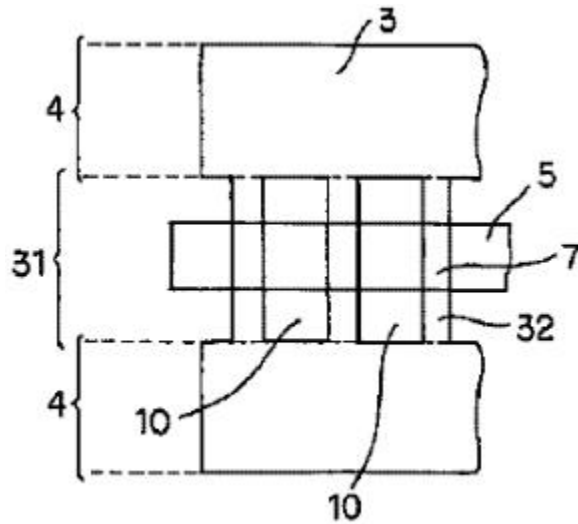
1: 실리콘 기판, 28: 하부 CVDSiO₂막, 7: 채널 형성 영역, 8: 패트 산화막, 9: Si₃N₄층
11: 더미 게이트 전극

[도 66] 본 발명의 실시 형태를 나타내는 평면도



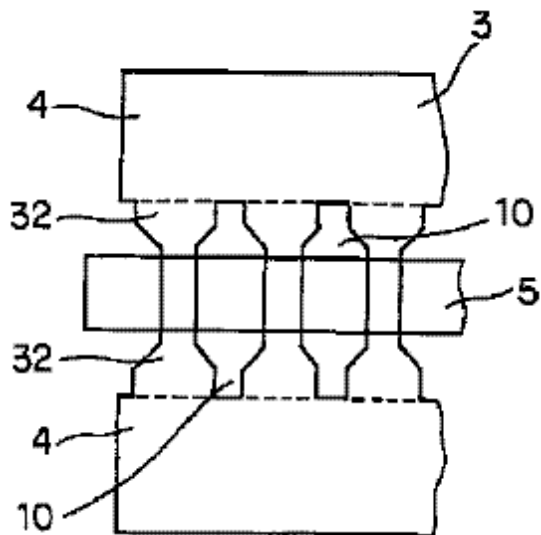
4: 소스/드레인 영역, 5: 게이트 전극, 22: 제1사이드 월, 27: 당초 형성되는 반도체층

[도 32] 본 발명의 실시 형태를 나타내는 평면도



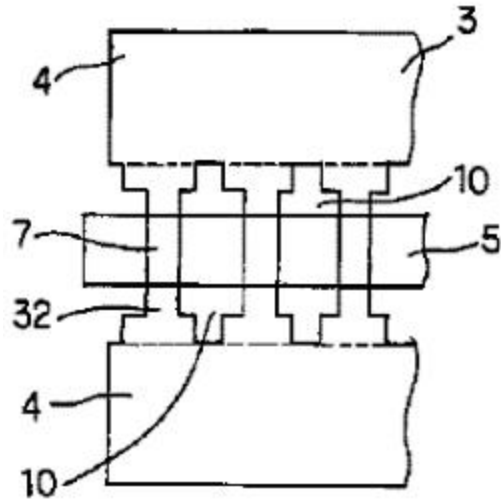
3: 반도체층, 4: 소스/드레인 영역, 5: 게이트 전극, 7: 채널 형성 영역
10: 개구부, 32: 소스/드레인 접속부

[도 33] 본 발명의 실시 형태를 나타내는 평면도



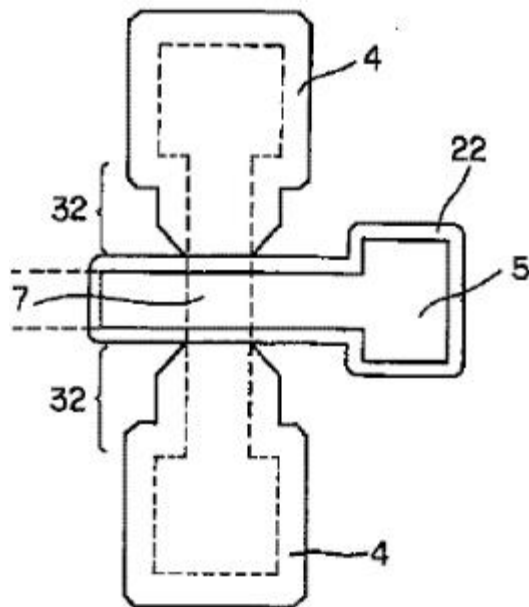
3: 반도체층, 4: 소스/드레인 영역, 5: 게이트 전극, 10: 개구부,
32: 소스/드레인 접속부

[도 34] 본 발명의 실시 형태를 나타내는 평면도



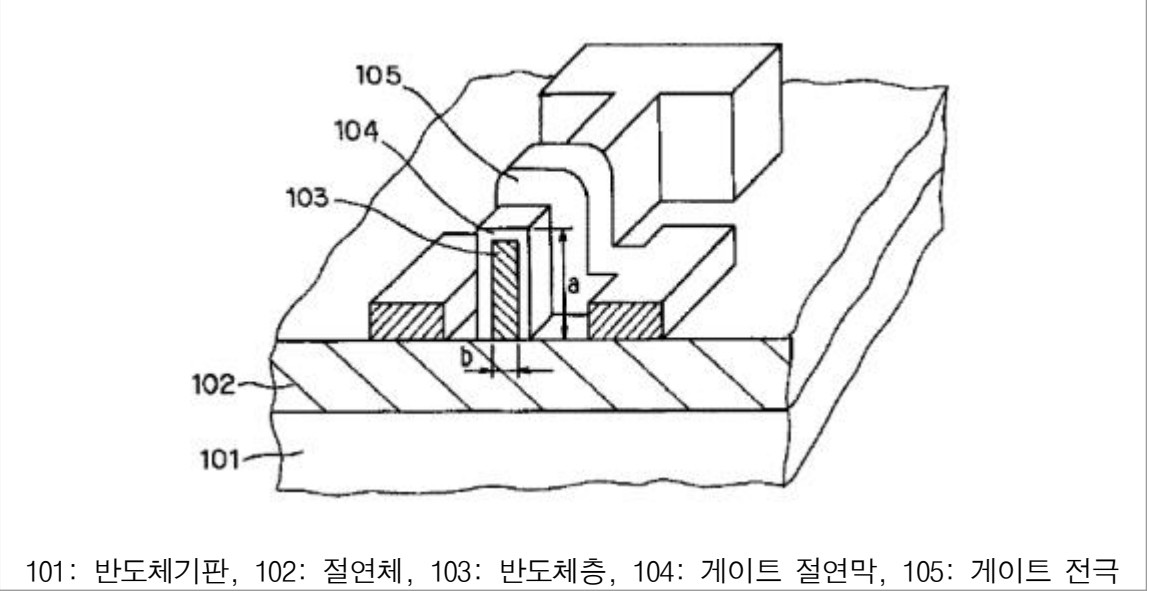
3: 반도체층, 4: 소스/드레인 영역, 5: 게이트 전극, 10: 개구부,
32: 소스/드레인 접속부

[도 40] 본 발명의 실시 형태를 나타내는 평면도



4: 소스/드레인 영역, 5: 게이트 전극, 22: 제1사이드 월
32: 소스/드레인 접속부

[도 50] 종래의 기술을 설명하는 조감도



101: 반도체기판, 102: 절연체, 103: 반도체층, 104: 게이트 절연막, 105: 게이트 전극

[별지 7]

선행발명 5의 주요 내용 및 도면

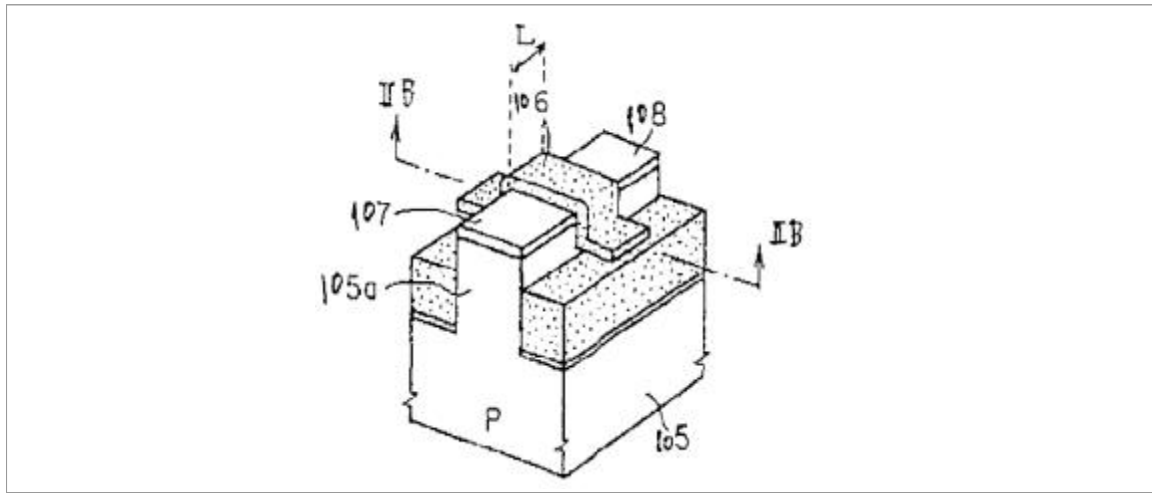
본 발명은 반도체 장치에 관한 것으로, 특히 MOS형 트랜지스터의 개량된 구조에 관한 것이다. 종래, MOS 집적 회로 특히 MOS형 트랜지스터에서는 소자를 미세화함으로써 집적도 뿐만 아니라, 회로 동작의 고속화, 저소비 전력화가 도모되어져 왔다. 종래의 평면적인 구조를 갖는 MOS형 트랜지스터의 단면을 제1도에 도시한다. 이 MOS형 트랜지스터는 제1도에 도시한 바와 같이, 반도체 기판(101) 상에 게이트 절연막(102)를 통하여 게이트 전극(103)이 형성되어 있고, 필드 산화막(104)에 의해 소자분리되어 있다.

이와 같은 구조에 있어서는 소자의 미세화가 진행됨에 따라서 문제가 발생되고 있다. 그 대표적인 요인으로서 게이트 절연막(102)의 막두께와 반도체 기판(101) 중의 불순물 농도를 들 수 있다. 게이트 절연막(102)의 막두께에 관해서는 소자의 미세화에 따라 얇아지지만, 막두께가 4nm 이하로 되면 직접적인 터널링 현상이 일어나서 게이트 전류가 반도체 기판(101)으로 흘러버리기 때문에, 안정적으로 회로 동작이 행해지지 않는 문제가 있다. 또한, 불순물 농도에 관해서는 소자의 미세화에 따라 높아지고 있지만 기판 농도가 10^{18}cm^{-3} 을 초과하는 부근에서 소스·드레인 확산층과 반도체 기판(101)과의 사이에 터널링에 의한 리크 전류가 흐르는 문제가 있다. 따라서, 종래의 평면적인 구조를 갖는 MOS형 트랜지스터는 게이트 절연막의 막두께나 반도체 기판의 불순물 농도, 또한 단채널 효과의 제약으로부터 게이트 길이 $0.1\mu\text{m}$ 이하로 미세화 하는 것이 어렵다고 생각된다.

상기의 문제를 고려하여, 더욱 소자의 미세화를 진행시키기 위하여, 제2a도 및 제2b도에 도시한 구조를 갖는 MOS형 트랜지스터가 제안되고 있다(예를 들면, 특허 공개 소64-42176호 공보, 특허 공개 소64-27270호 공보).

[도 2a] 종래의 반도체 장치를 도시한 사시도

106: 게이트 전극, 108: 드레인 영역, 107: 소스 영역, 105a: 볼록부, 105: 반도체 기판



이 MOS형 트랜지스터는 반도체 기판(105)에 소자 분리 영역이 되는 홈을 형성함으로써 볼록부(105a)를 형성하고, 그 홈 내에 절연막 등을 통하여 다결정 폴리실리콘막 또는 직접 실리콘 산화막(110)을 매립하고, 볼록부(105a)의 상부 및 측부에 형성된 게이트 절연막(109)를 통하여 게이트 전극(106)을 형성함으로써, 그 게이트 전극(106)을 마스크로서 소스 영역(107) 및 드레인 영역(108)을 형성하여 구성되어 있다. 이와 같은 구성을 갖는 MOS형 트랜지스터(이하, 볼록형 트랜지스터라고 생략한다)는 컷오프 특성이 양호하다. (중략)

본 발명의 이와 같은 점을 감안하여 이루어진 것으로, 편치스루 현상에 의한 단채널 효과를 억제할 수 있으며 동시에, 소자 특성을 향상시킬 수 있는 반도체 장치를 제공하는 것을 목적으로 한다.

[제2실시예]

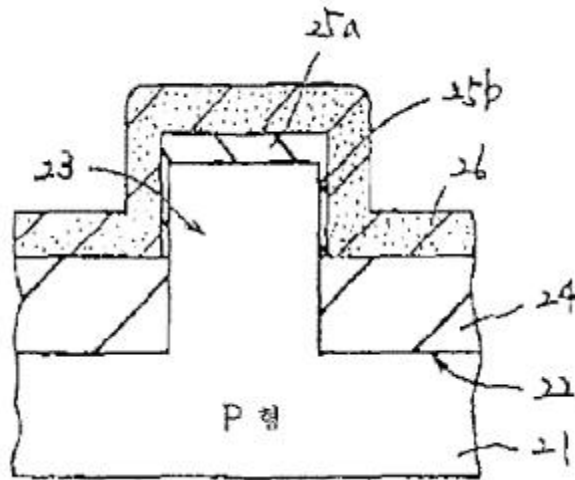
제8a도는 본 발명의 제2 발명과 관련한 반도체 장치(MOS형 트랜지스터)의 제1 실시예를 도시한 단면도이다. 도면 중 참조 번호(21)은 반도체 기판을 나타낸다.

본 실시예에서는 반도체 기판(21)로서 p형 실리콘 기판을 사용한다. 반도체 기판(21)에는 오목·볼록(凹凸)이 형성되어 있고, 오목부(22)가 소자 분리 영역에 대응하고, 볼록부(23)이 소자 영역에 대응하고 있다. 이 볼록부(23)은 반도체 기판(21) 상에 에피택셜 성장으로 형성해도 좋고, 에칭법으로 형성하여도 좋다. 본 실시예에서는 볼록부(23)의 높이는 $0.6\mu\text{m}$ 이고, 폭은 $0.3\mu\text{m}$ 이다. 또한, 볼록부(23)의 p형 불순물 농도는 $5 \times 10^{15} \text{cm}^{-3}$ 정도이다. 또, 볼록부(23)에는 n형 불순물의 확산층인 소스 영역 및 드레인 영역이 볼록부(23) 상면으로부터 깊이

0.05 μ m로 형성되어 있다.

오목부(22) 상에는 절연막(24)로서 두께 0.3 μ m의 SiO₂ 가 매립되도록 형성되어 있다. 볼록부(23)의 상면 및 측면에는 게이트 절연막(25)로서 실리콘 산화막이 형성되어 있다. 게이트 절연막(25)의 두께는 상면(25a)가 12nm이고, 측면(25b)가 6nm이다. 절연막(24) 및 게이트 절연막(25) 상에는 게이트 전극(26)으로서 인을 도프한 폴리실리콘이 두께 0.2 μ m로 형성되어 있다. 이와 같이 하여, 본 발명의 제2 발명과 관련한 반도체 장치(소자)가 구성되어 있다. (중략)

[도 8a] 본 발명의 제2 발명과 관련한 반도체 장치의 제1 실시예를 나타내는 단면도



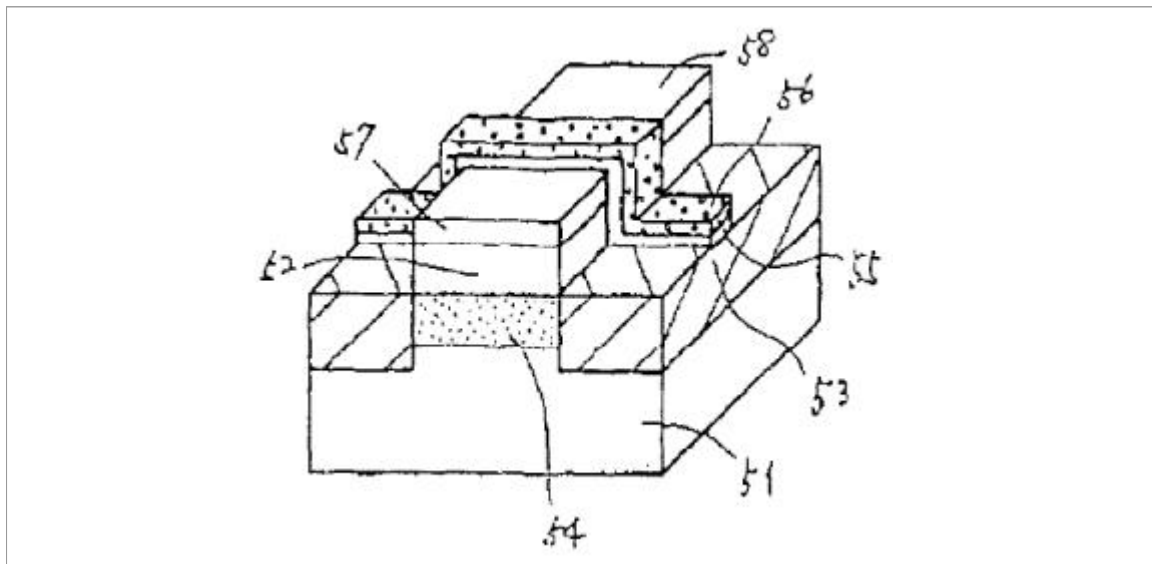
21: 반도체 기판, 22: 오목부, 24: 절연막, 23: 볼록부, 26: 게이트 전극,
25a: 게이트 절연막의 상면, 25b: 게이트 절연막의 측면

[제4실시예]

제17도는 본 발명과 관련한 반도체 장치(MOS형 트랜지스터)의 다른 예를 도시한 사시도이다.

[도 17] 본 발명의 제4 실시예와 관련한 반도체 장치의 실시예를 도시한 단면도

51: p형 실리콘기판, 52: 볼록부, 53: 절연막, 54: p형 불순물층,
55: 게이트 절연막, 56: 게이트 전극, 57: 소스 영역, 58: 드레인 영역



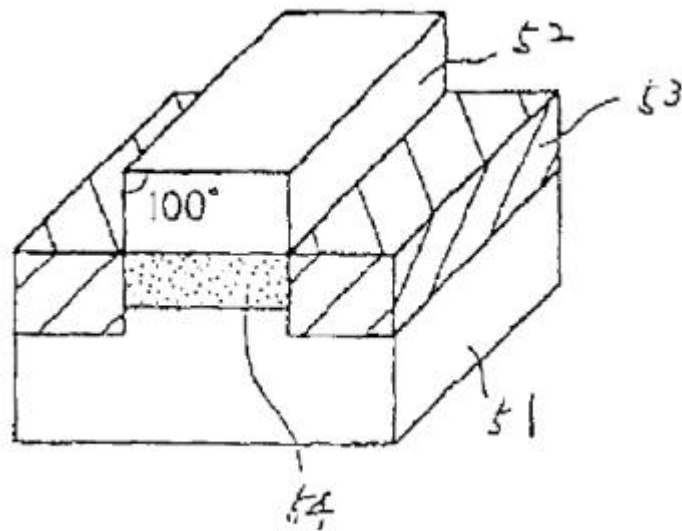
이 소자는 불순물 농도 $1 \times 10^{16} \text{cm}^{-3}$ 인 p형 실리콘 기판(51)을 $0.7 \mu\text{m}$ 에칭함으로써, 폭 $0.1 \mu\text{m}$ 의 블록부(52)를 형성하고, 소자 분리 영역에 절연막(53)을 매립하고, 절연막(53)을 블록부 상면으로부터 $0.3 \mu\text{m}$ 에칭한 후에 블록부(52)에 불소를 이온 주입함으로써 블록부(52) 상면에서 $0.3 \mu\text{m}$ 의 부분보다 깊은 곳[제17도에서는 절연막(53)의 상면 보다 깊은 곳]에 $1 \times 10^{18} \text{cm}^{-3}$ 인 p형 불순물층(54)를 형성하고, 그 후, 두께 4nm 의 게이트 절연막(55)를 통하여 게이트 전극(56)을 형성하고, 마지막으로 소스 영역(57) 및 드레인 영역(58)을 형성함으로써 제조된다. 이 구조의 소자에 의하면, 고농도의 p형 불순물(54)는 소스 영역(57) 및 드레인 영역(58)에 접하고 있지 않기 때문에 확산층 내압을 열화하지 않고 p형 불순물층(54)의 농도를 상한치 없이 높게할 수 있고, 이에 따라 단채널 효과의 억제 효과가 비약적으로 증대하고, 게다가 확산층 용량을 저감화할 수 있다.

본 실시예에서는 NMOS에 대하여 설명하고 있지만 PMOS에 대해서도 동일하게 제조할 수 있다. 또한, 채널 영역인 불순물층의 농도는 블록부(52) 측면에 있는 게이트 전극에 인가되는 전압에 의해 블록부(52) 전체가 완전히 공핍화하는 농도라면 좋다. 또한, 본 실시예에서는 블록부(52)의 형성에 에칭법을 이용하고 있지만, 에피택셜 성장에 의해 형성하여도 좋다. 이 경우, p형 불순물층(54)로서 p형 도프트 에피택셜층을 이용하여도 좋다.

본 실시예에서는 블록부(52)를 형성할시에 예를 들면, 제18도에 도시한 바와 같이, 100. 의 순 테이퍼를 두는 것이 바람직하다. 이에 따라, 게이트 전극(56)을 형성한 후에 블록부(52)

측면에 게이트 전극이 잔존하는 것을 방지하여, 게이트 전극(56) 끼리의 단락을 방지할 수 있다.

[도 18] 제17에 도시한 소자와 블록부의 테이퍼를 설명하기 위한 도면



51: p형 실리콘기판, 52: 블록부, 53: 절연막, 54: p형 불순물층

본 실시예에서는 제3실시예에 도시한 콘택트 배선을 형성할 수도 있다. 단, 이 경우에는 콘택트에 의한 드레인 영역과 반도체 기판과의 사이의 정션 내압이 저하하지 않는 구조로 할 필요가 있다.

선행발명 6의 주요 내용 및 도면

[0002]

【종래의 기술】 최근, 컴퓨터나 통신 기기의 중요 부분에는, 다수의 트랜지스터나 저항 등을 상기 회로를 달성하도록 결부시키고, 1칩 상에 집적화하여 형성한 대규모 집적 회로(LSI)가 다용되고 있다. 이 때문에, 기기 전체의 성능은 LSI 단체의 성능과 크게 결부되고 있다.

【0003】LSI 단체의 성능 향상은, 집적도를 높이는 것, 즉, 소자의 미세화에 의해 실현될 수 있다. 이러한 도체 장치의 고집적화, 소자의 미세화에 수반하고, 근년, 소자간 분리 영역의 면적의 미세화도 필요해 지고 있다.

【0004】종래로부터 이용되어 온 소자 분리 방법의 하나로서 LOCOS법(선택 산화법)이 있는데, 이 방법은 버즈 비크라 불리는 치수 변환차가 발생하는 것과, 분리폭이 좁은 곳에서 분리용 산화막이 얇아지는 것(필드 시닝 효과)의 효과, 소자 분리 영역의 미세화에 맞지 않는다.

【0005】다른 소자 분리 방법으로서 대표적인 것에 트렌치 분리법이 있다. 이 방법에서는, 통상, 반도체층에 홈을 형성하고, 이 홈에 절연물을 매립함으로써 소자 분리를 실현한다.

【0006】또한, SOI(Silicon On Insulator) 기판을 이용하면, 매립 산화막(82)에 이르는 트렌치 홈을 형성할 뿐, 절연물을 매립하지 않고 소자 분리를 행할 수도 있다(메사형 소자 분리). 이러한 트렌치 분리법을 이용하면, 변환차가 작고, 미세화에 적절한 소자 분리를 실현할 수 있다.

【0007】도 22에, 종래의 SOI 기판에 형성되고, 트렌치 분리된 MOSFET의 채널폭 방향으로 평행한 단면도를 나타낸다. 지지 기판(81) 상에는 매립 산화막(82)을 통해 볼록형 섬 형상의 실리콘층(83)이 형성되어 있다. 이 볼록형 섬 형상의 실리콘층(83)에 MOS 게이트 구조가 형성되고 있다. (중략)

【0013】이는, 도 23에 도시한 바와 같이, 볼록부 섬 형상의 실리콘층(93)의 코너부(99)나 측면부(98)에도 MOS 게이트 구조를 형성하고, 실리콘층(93)을 완전 공핍화함으로써, 전체적으로 기판 바이어스 효과가 작은 트랜지스터를 실현한다는 것이다.

【0015】그러나, 이러한 MOSFET에는 이하와 같은 문제가 있었다. 즉, 측면부(98)의 트랜지

A cross-sectional view of a semiconductor device. It shows a substrate 81 with a layer 82 on top. A structure 83 is embedded in the layer 82. A layer 84 is on top of the structure 83. A layer 85 is on the left side of the structure 83. A layer 86 is on the right side of the structure 83. A layer 87 is on the bottom of the structure 83.

스름

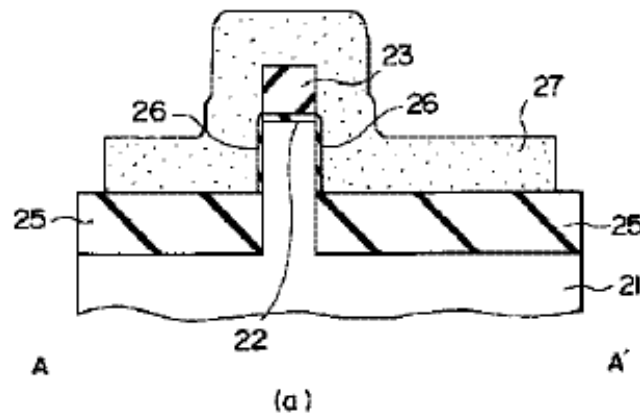
터크

【0019】또한, 노출된 코너 부분에 게이트 절연막이 형성되기 때문에, 게이트 내압의 열화나 subthreshold 특성의 열화가 일어나, 소자 성능이 열화되는 문제가 있었다. 이를 해결하기

위해, 코너부의 게이트 절연막을 산화하여 라운딩하는 방법이 있지만, 공정이 복잡해지는 등의 문제가 있었다.

【0020】본 발명은, 상기 사정을 고려해서 된 것으로, 그 목적으로 하는 곳은, 상기 게이트 재료의 잔류 문제나, 상기 소자 특성의 열화 문제의 해결이 가능해지는 반도체층의 측면에 MOS 게이트 구조가 형성된 MOSFET을 구비한 반도체 장치 및 그 제조 방법을 제공하는 것에 있다. (중략)

[도 18a] 본 발명의 제3의 실시 형태와 관계되는 MOSFET의 제조 방법을 나타내는 단면도



21: 실리콘 기판, 22: 버퍼 산화막, 23: 실리콘 질화막, 25: 산화막
26: 게이트 절연막, 27: 게이트 전극

【0046】이어서, 도 9에 도시한 바와 같이, EB 묘화나 포토 리소그래피에 의한 패터닝에 의해 포토레지스트 패턴(미도시)을 마스크로서 RIE법에 의해 상기 폴리 실리콘막 및 텅스텐실리사이드막(또는 텅스텐막)의 적층막을 에칭하여, 게이트 전극(4)을 형성한다. 이 후, 상기 포토레지스트 패턴을 제거하고, 게이트 전극(4)의 표면을 가볍게 산화하여 얇은 (5nm 정도) 산화막(미도시)을 형성한다.

【0048】또한, 게이트 재료의 잔류를 더 완전하게 막으려면, 트렌치 각도에 미소한 테이퍼(연직면에 대해 7° 이하. 깊은 곳에서 트렌치의 폭이 좁아지는 방향)을 주는 것이 유효하다.

【0059】그 후, 동 도면에 도시한 바와 같이, 버퍼 산화막(22) 상에 보호 절연막(에칭 마스크)으로서, 예컨대 두께 150nm의 실리콘 질화막(23)을 형성한다. 이어서, 도 13에 도시한 바와 같이, EB 묘화나 포토 리소그래피에 의한 패터닝에 의해 실리콘 질화막(23) 상에 포토레지스

트 패턴(24)을 형성한 후, 이 포토레지스트 패턴(24)을 마스크로 하여 실리콘 질화막(23), 버퍼 산화막(22), 실리콘 기판(21)을 RIE법에 의해 연속적으로 에칭하고, 예컨대 깊이 250nm의 트렌치 홈을 형성하고, 실리콘 질화막(23), 버퍼 산화막(22), 실리콘 기판(21)을 섬 형상으로 가공한다.

【0062】기본적으로, 이상의 공정으로 소자 분리 공정은 종료된다. 절연막 매립 트렌치 분리이므로, 변환차가 작고, 미세화에 적절하다. 이어서, 도 17에 도시한 바와 같이, 열 산화에 의해 섬 형상의 실리콘 기판(21)의 측면에 두께 6nm의 게이트 절연막(26)을 형성한 후, 게이트 전극(27)이 되는 두께 150nm의 폴리 실리콘막, 두께 100nm의 텅스텐 실리사이드막(또는 텅스텐막)을 각각 LPCVD법과 스퍼터법으로 적층 형성한다.

【0067】이어서, 도 18에 도시한 바와 같이, EB 묘화나 포토 리소그래피에 의한 패터닝에 의해 포토레지스트 패턴(미도시)을 마스크로서 RIE법에 의해 상기 폴리 실리콘막 및 텅스텐실리사이드막(또는 텅스텐막)의 적층막을 에칭하고, 게이트 전극(27)을 형성한다. 이 후, 상기 포토레지스트 패턴을 제거하고, 게이트 전극(27)의 표면을 가볍게 산화하여 얇은(5nm 정도) 산화막(미도시)을 형성한다.

【0069】또한, 게이트 재료의 잔류를 더 완전하게 막으려면, 트렌치 각도에 미소한 테이퍼(연직면에 대해 7° 이하. 깊은 곳에서 트렌치의 폭이 좁아지는 방향)를 부여하는 것이 유효하다.

선행발명 7의 주요 내용 및 도면

본 발명의 목적은 고집적화에 적합한 반도체장치 및 반도체 기억장치를 제공하는 것이다.

상기 목적은 [1] 기판상에 소오스전극과 드레인전극을 마련하고 또 상기 소오스전극과 드레인전극 사이에 채널과 상기 채널에 절연막을 거쳐서 전계효과를 미치는 게이트전극을 마련한 전계효과 트랜지스터를 갖는 반도체장치에 있어서, 상기 채널은 적어도 그의 일부분이 기판과 대략 수직인 반도체층에 마련되고, 상기 채널에 흐르는 전류의 방향은 기판과 대략 평행한 것을 특징으로 하는 반도체장치, [2] 상기 전계효과 트랜지스터의 채널은 기판에 대해서 수직인 방향의 하부의 상기 기판과의 사이의 적어도 일부분에 절연층이 배치되어 있는 것을 특징으로 하는 상기 [1]기재의 반도체장치, [3] 상기 채널은 기판과 실질적으로 절연되어 있는 것을 특징으로 하는 상기 [1]기재의 반도체장치, [4] 기판상에 전하결합부와 상기 전하결합부에 절연막을 거쳐서 작용하는 여러개의 게이트전극을 마련한 전하결합소자를 갖는 반도체장치에 있어서, 상기 전하결합부의 적어도 일부분이 기판과 대략 수직인 반도체층에 마련되고, 상기 전하결합부에 있어서의 전하전송방향은 기판과 대략 평행한 것을 특징으로 하는 반도체장치, [5] 기판상에 적어도 2개의 트랜지스터를 갖고, 상기 트랜지스터중에 적어도 1개는 소오스전극, 트레인전극, 채널 및 상기 채널에 전연막을 거쳐서 전계효과를 미치는 게이트전극을 갖는 전계효과 트랜지스터인 반도체 기억장치에 있어서, 상기 전계효과 트랜지스터의 채널은 적어도 그의 일부분이 상기 소오스전극과 드레인전극 사이에 기판과 대략 수직으로 배치되고, 상기 채널이 흐르는 전류방향은 기판과 대략 평행한 것을 특징으로 하는 반도체 기억장치, [6] 상기 채널은 기판과 실질적으로 절연되어 있는 것을 특징으로 하는 상기 [5] 기재의 반도체 기억장치, [7] 기판상에 소오스전극과 드레인전극을 마련하고 또 상기 소오스전극과 드레인전극 사이에 채널과 상기 채널에 절연막을 거쳐서 전계효과를 미치는 게이트전극을 마련한 전계효과 트랜지스터를 적어도 2개 갖는 반도체장치에 있어서, 상기 각각의 채널은 적어도 그의 일부분이 기판과 대략 수직인 반도체층에 마련되고, 상기 트랜지스터중의 적어도 1개의 게이트전극이 배치되어 있는 것을 특징으로 하는 반도체장치, [8] 기판상에 소오스전극과 드레인전극을 마련하고 또 상기 소오스전극과 드레인전극 사이에 배치된 채널과 상기 채널에 절연막을 거쳐서 전계효과를 미치는 게이트전극을 마련한 전

계효과 트랜지스터를 적어도 1개 및 용량을 적어도 1개 갖는 반도체 기억장치에 있어서, 상기 채널은 적어도 그의 일부분이 기판과 대략 수직인 반도체층에 마련되고, 상기 채널에 흐르는 전류방향은 기판과 대략 평행한 것을 특징으로 하는 반도체 기억장치, [9] 상기 채널은 기판과 실질적으로 절연되어 있는 것을 특징으로 하는 상기 [8]기재의 반도체 기억장치에 의해서 달성된다.

본 발명에 있어서, 채널은 기판과 실질적으로 절연되어 있는 것이 바람직하다. 여기서 실질적이라고 하는 것은 완전히 절연되어 있지 않더라도 그의 작동전압에 있어서 절연되어 있는 경우와 거의 마찬가지로 효과를 미친다는 것이다. 또, 기판과 대략 수직인 반도체층은 박막인 것이 바람직하다. (중략)

또, 상기 반도체층은 기판면에 대해 수직으로 마련하는 것이 바람직하지만, 반도체층과 기판에 대해 수직인 평면에서 절단한 반도체층 단면이 기판면에 가까울수록 두꺼워지는 사다리꼴로 되는 경우가 많고, 이 경우 기판면과 이것과 교차하는 사다리꼴의 변이 이루는 각도 (즉, 기판면과 반도체측면이 이루는 각도)가 80° 이상이면 좋다. (중략)

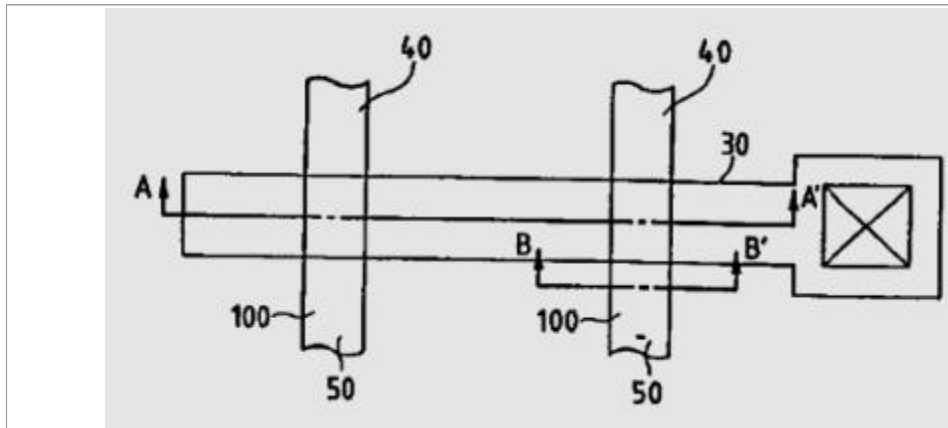
[실시예 2]

또, 실시예 1의 디바이스구조에 있어서 반도체층의 하부에 양측에서 연장하는 절연층이 연결되지 않은 상태에서는 소자와 기판과의 전기적 절연분리의 효과가 상실된다. 그러나 박막 반도체에서 형성하는 채널에 대해 양측의 게이트가 실행하는 전계효과에 의한 양호한 채널 전기특성의 제어나 고집적화 등에 적합한 소자의 특징을 유지할 수 있다.

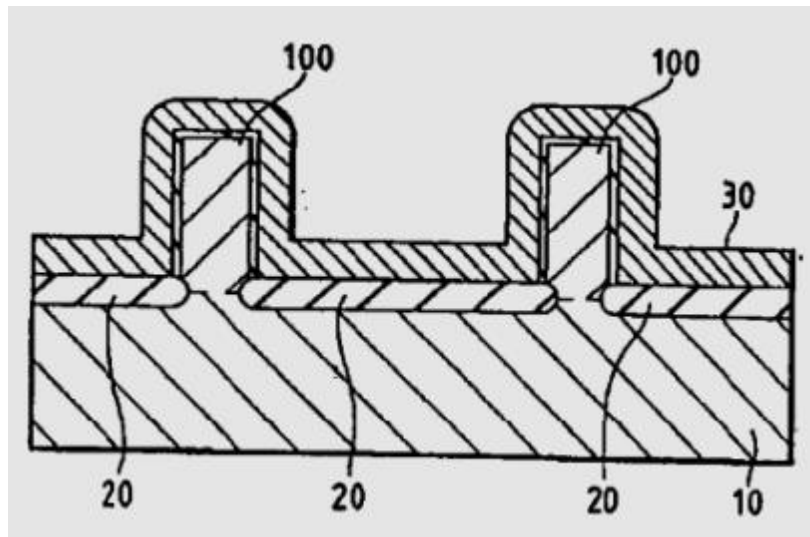
제3a도~제3c도는 그와 같은 소자구조를 도시한 것으로 제3a도는 평면도, 제3b도는 제3a도의 A-A' 단면도, 제3c도는 제3a도의 B-B' 단면도이다. 2개의 트랜지스터의 반도체층(100)이 게이트전극(30)을 공유하는 구조이다.

[도 3a] 본 발명의 실시예에 있어서의 반도체장치를 도시한 평면도

30: 게이트 전극, 40: 소오스 전극, 50: 드레인 전극, 100: 반도체 층



[도 3b] 제3a도에 도시한 반도체장치의 단면도



10: 기판, 20: 절연층, 30: 게이트 전극, 100: 반도체 층

제3c도에 도시한 바와 같이, 이와 같은 구조에서는 소오스, 드레인전극을 확산층 필드산화막보다 다소 얇게 뒷쪽으로 치우쳐서 반도체층(100)내에 형성하고 또한 게이트전극을 이것보다 깊게 (기판에 가깝게) 형성하는 것에 의해서 안정한 전기특성을 얻을 수 있다. 이와 같은 기판결정과 박막이 연결되는 구조에서는 개구부(opening)를 갖는 절연층(20)을 기판상에 형성하고, 개구부에서 기판결정을 에피텍셜 성장시켜서 반도체층(100)을 얻을 수 있다.

선행발명 8의 주요 내용 및 도면

[발명의 배경]

1. 발명의 분야

본 발명은 반도체 기판에 MOS(금속 산화물 반도체) 트랜지스터 등의 소자가 형성된 반도체 디바이스에 관한 것이다.

2. 관련기술의 설명

지금까지 다양한 반도체 디바이스가 제안되었으며, 특히 MOS 트랜지스터를 포함하는 디바이스가 널리 사용되고 있다. 이러한 반도체 디바이스에서는, 소자 구조의 미세화가 진행되어 반도체 디바이스에의 소자 집적도가 높아진다. 많은 종래의 반도체 디바이스의 경우, 실리콘 기판과 같은 평평한 반도체 기판의 미리 결정된 영역에 다수의 MOS 트랜지스터가 형성된다. 이 경우 게이트 영역은 절연된 박막을 거쳐 게이트 전극이 덮혀 있고, 소스 및 드레인 영역을 형성하기 위해 게이트 영역의 양쪽에 이온을 도핑하여, 실리콘 기판의 일정 영역에 MOS 트랜지스터를 형성한다.

이러한 반도체 디바이스의 MOS 트랜지스터를 미세화하면 여러 가지 문제가 발생하게 된다. 드레인 주변의 전계가 증가함에 따라 드레인 공핍층이 소스 주변의 전위장벽 근처까지 확장되어 펀치 스루 전류가 발생하게 된다(짧은 채널 효과). 채널 내 전계 강도가 증가함에 따라 캐리어 에너지가 증가하고 충돌에 의한 이온화로 인해 전자-정공 쌍이 생성된다(핫 캐리어 효과). 채널의 수직 방향의 전계가 커지고, 캐리어 이동도가 작아지며, 인접한 요소들 간의 분리도가 불충분해진다. 따라서, 종래의 반도체 디바이스는 게이트 길이를 서브마이크론 이하로 하면 충분한 성능이나 신뢰성을 유지할 수 없다는 문제가 발생한다.

한편, 이러한 문제점을 극복하기 위해 SOI(silicon on insulator) 초박막 트랜지스터가 제안되었다. SOI 초박막 트랜지스터는 절연막 위의 실리콘 초박막 위에 형성되고, 실리콘 초박막 위에 소스, 게이트, 드레인 영역이 형성된다. 절연막 위의 실리콘 초박막 위에 초박막 트랜지스터를 형성함으로써 짧은 채널 효과와 핫 캐리어 효과를 줄일 수 있고, 전체 채널의 전위를 제어할 수 있으며, 결과적으로, 수직방향의 전계를 작게 하여 높은 캐리어 이동도를 유

지할 수 있고, 소자간 분리도도 우수하다.

그러나 초박막 트랜지스터의 구조상 절연막 위에 트랜지스터를 형성하려면 실리콘 초박막을 형성해야 한다. 그러나 SiO₂와 같은 절연막 위에 실리콘 단결정층을 형성하는 것은 기술적으로 매우 어렵다. 특히, 현재로서는 양호한 실리콘 에피텍셜막을 형성할 수 없으며, 바람직한 성능을 갖는 SOI 초박막 트랜지스터를 제공하는 것이 어렵다.

한편, SOI 초박막 트랜지스터와 유사한 효과를 제공하는 반도체 디바이스로서 실리콘 기판상의 극도로 얇은 돌출부 내에 소스, 채널 및 드레인 영역이 형성된 수직형 초박막 트랜지스터가 제안되었다. 구체적으로는, 등방성 에칭에 의해 실리콘 기판에 돌출부를 형성한 후, 실리콘 기판을 격리시키기 위해 질화규소로 덮힌 돌출부와 필드 산화막에 의해 돌출부를 서로 분리시켜 필드 산화를 수행한다. 돌출부를 실리콘 단결정으로 형성할 수 있고, 또한 돌출부 내에 트랜지스터를 형성함으로써 집적도를 더욱 높일 수 있다. 이러한 반도체 디바이스는 예를 들어 일본 특허 공개공보 Hei2-263473호에 기재되어 있다. 그러나 앞서 설명한 것과 같이, 수직형 초박막 트랜지스터의 경우, 채널 부분과 기판을 격리시키기 위한 필드 산화막을 돌출부의 바닥면까지 형성시키기 위해, 돌출부를 Si₃N₄와 같은 산화 저항 필름으로 덮어서 필드 산화를 수행해야 한다. 따라서 이러한 필드 산화 공정에서 채널 부분의 결정이 손상되고 트랜지스터가 충분한 성능을 낼 수 없게 되는 위험이 있다. 또한, 채널 부분이 필드 산화막 필름에 의해 다른 영역과 완전히 분리되어 있으므로, 만약 충돌에 의한 이온화가 채널 부분에서 발생하면, 동일한 극성의 과잉 캐리어가 그 자리에 머물게 되고, 전위가 이동하여 다양한 장애가 발생한다.

또한 필드 산화막은 낮은 열 전도도를 가지므로 충분한 열 방출이 이루어지지 않는다. 또한, 전계 산화에 의해 형성된 산화물층은 게이트 산화막과 특성이 다르기 때문에, 그 산화물층에 대한 잔류 응력(residual stress)이 커질 것이다.

[발명의 요약]

따라서, 본 발명의 목적은 초소형화에도 동작 성능이 저하되지 않는 반도체 디바이스를 제공하는 것이다.

본 발명의 다른 목적은 반도체 디바이스의 제조 방법을 제공하는 것이다.

이를 위해, 본 발명에 따르면, 평평한 반도체 기판, 반도체 기판 위로 돌출된 소자 형성부, 소자 형성부에 위치한 불순물이 도핑된 활성 영역, 및 소자 분리부를 포함하는 반도체 디바

이스가 제공된다. 소자 형성 섹션의 활성 영역 아래에 위치하며, 분리 섹션은 반도체 기판과 동일한 구성을 갖는다.

트랜지스터 등의 소자를 소자 형성부에 수용할 수 있으므로 소자를 수직으로 배치하여 집적도를 높일 수 있다. 소자 분리부는 기판과 동일한 구성을 갖기 때문에 일반 기판과 동일하게 소자가 동작할 수 있으며, 산화물 위에 소자를 형성할 때 발생할 수 있는 문제도 발생하지 않는다.

본 발명의 반도체 디바이스에서는, 소자 형성부 안에 있는 채널부 즉, 돌출부의 폭이 충분히 좁고, 채널 캐리어가 돌출된 소자 형성부 내부 및 그 표면에서 형성된다.

따라서, 돌출부 내의 전류 밀도를 일정하게 만들 수 있으며, 트랜지스터의 온/오프 동작을 안정화시킬 수 있다.

본 발명의 반도체 디바이스의 제조 방법은, 이방성 식각(anisotropic etching)에 의해 반도체 기판에 복수의 홈(groove)을 형성하여 돌출부를 형성하는 단계와, 형성된 돌출부의 하부에 불순물이 도핑되지 않은 영역을 남기면서, 불순물이 도핑된 영역을 형성하기 위해 돌출부의 상부에 불순물을 주입하는 단계로 이루어진다.

따라서, 각 돌출부의 상부에만 불순물을 도입하여 돌출부 내에 트랜지스터 등의 소자를 수용하는 반도체 디바이스를 제조할 수 있다. 이는 소자 분리를 위한 전계 산화 단계의 필요성을 없애고 제조 공정에서 실리콘 결정이 열화되는 것을 방지할 수 있다. 또한, 제조된 소자가 수직형으로 되어 집적도를 높일 수 있다.

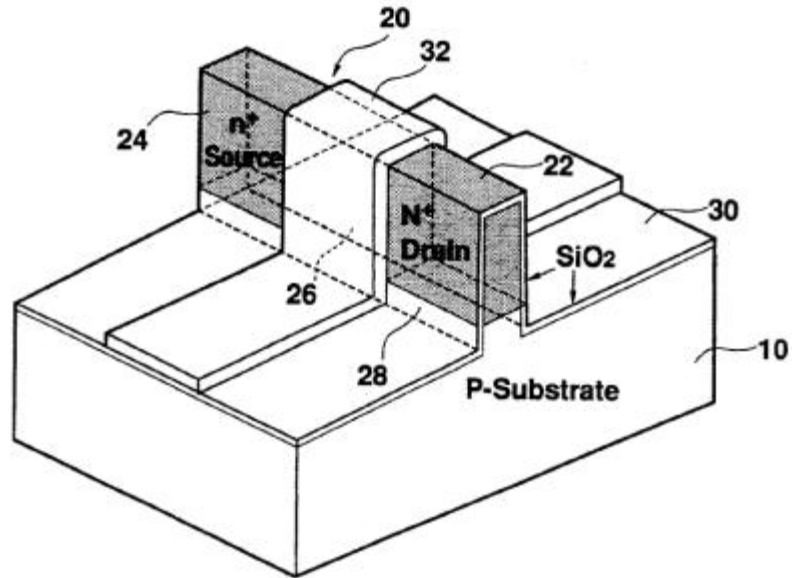
이온주입 외에 증기나 고체상에서 불순물을 확산시키는 방법도 불순물을 도입하는 방법으로 이용 가능하다.

[바람직한 실시예의 설명]

이제, 본 발명의 바람직한 실시예가 첨부된 도면과 함께 설명된다.

도 1은 본 발명의 제1 실시예에 따른 반도체 디바이스의 구조를 설명하기 위한 사시도로서, p형 실리콘 기판(10)의 상부에 돌출부(20)가 형성되어 있다. n+형 드레인 영역(22) 및 돌출부(20)의 양측에는 n +형 소스 영역(24)이 형성되고, 드레인 영역(22)과 소스 영역(24) 사이의 영역에는 기판(10)과 동일한 극성의 p형 채널 영역(26)이 형성된다. 드레인 영역(22), 소스 영역(24) 및 채널 영역(26)의 하단은 돌출부(20) 내에 수용되고, 돌출부(20)의 바닥에는 기판(10)의 일부인 소자 분리부(28)가 형성된다.

[도 1] 본 발명의 제1 실시예에 따른 반도체 디바이스의 구조



10: 기판, 20: 돌출부, 22: 드레인 영역, 24: 소스 영역
26: 채널 영역, 28: 소자 분리부, 30: 산화막, 32: 게이트 전극

기판(10) 및 돌출부(20)의 표면 전체는 SiO₂로 이루어진 산화막(30)으로 덮이고, 채널 영역(26)의 표면에는 게이트 전극(32)이 형성된다. 따라서, 산화막(30)은 게이트 산화막으로 기능한다. 게이트 전극(32)은 기판(10)의 소정 끝단까지 인출되어 다른 소자와의 전기적 연결을 가능하게 한다.

본 실시예의 반도체 디바이스는 돌출부(20) 내에 하나의 MOS 트랜지스터로 구성된다. 따라서, 드레인 전극과 소스 전극이 각각 드레인 영역(22)과 소스 영역(24)에 연결되면, 채널 영역(26)의 전위와 드레인 영역(22)에서 소스 영역(24)으로의 전류를 제어하기 위해 게이트 전극(32)에 전압이 인가될 수 있다. 본 실시예에서는 형성된 MOS 트랜지스터가 n채널이므로, 게이트 전극에 양의 전압을 인가함으로써 전류가 흐른다.

특히, 본 실시예의 반도체 디바이스는 인접한 소자 간의 실질적으로 완전한 분리를 위해 돌출부(20)의 바닥에 소자 분리부(28)가 형성되어 있다. 격리부(28)는 기판(10)의 일부이다. 그러면 충돌에 의한 이온화에 의해 생성된, 기판과 동일한 극성을 가지는 과잉 캐리어(이 경우에는 정공)가 기판(10)으로 방출되어 채널에 머물지 않게 된다. 그러므로 과잉 캐리어의 축적에 동반되는 키크 현상이 발생하지 않으며, 과잉 정공으로 인한 유사(pseudo) 짧은 채널

효과도 발생하지 않는다.

전력 소모에 따른 열이 기판(10)으로 쉽게 방출되므로, 채널 영역(26)이 가열되는 것을 방지할 수 있다. 또한, 트랜지스터를 수직으로 형성하고 채널 영역(26)을 게이트 전극(32)으로 둘러싸므로 채널 영역 전체의 전위를 소정 값으로 제어하여 SOI 초박형 트랜지스터 동작을 수행할 수 있어 동작 성능을 매우 높게 할 수 있다.

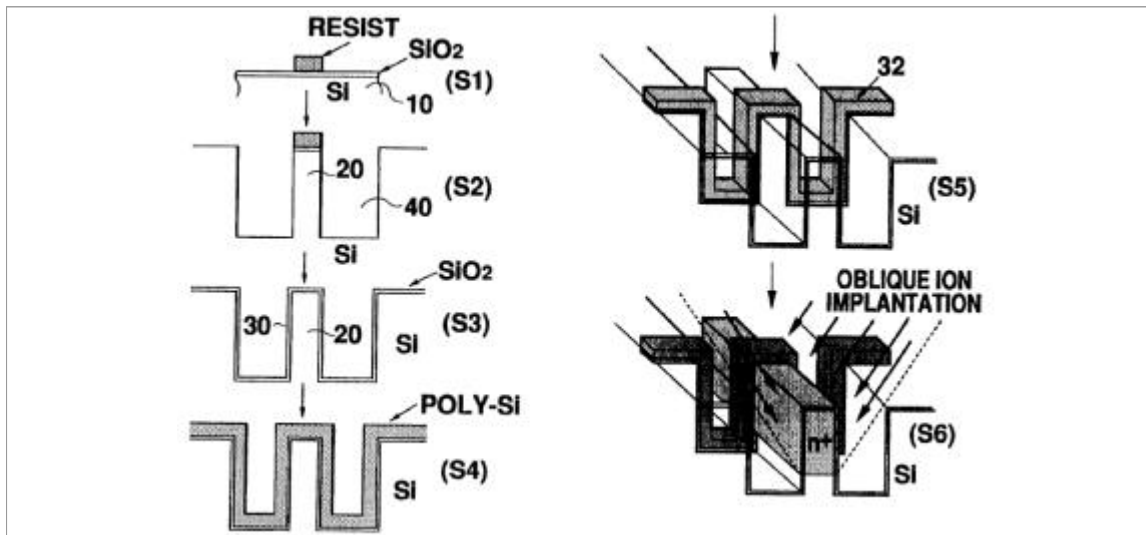
게이트 전계 효과에 의해 채널 영역 내에서 확장되는 공핍층보다 채널 영역의 양측면 사이의 거리가 작아지면 SOI 초박막 트랜지스터의 동작을 얻을 수 있다.

즉, 게이트 전극이 바이어스되어 채널 표면의 상태가 강한 반전 상태가 되면 채널 영역의 내부가 고갈되어 완전히 반전될 수 있다. 따라서 짧은 채널 효과 및 캐리어 이동도 저하를 방지할 수 있다.

다음으로, 제1 실시예의 반도체 디바이스의 제조 방법을 도 2을 참조하여 설명한다. 먼저, S1단계에서는 실리콘 단결정으로 이루어진 기판(10) 표면에 열산화에 의해 SiO₂층을 형성하고, 그 위에 선폭 약 0.1 μ m의 라인 패턴(레지스트필름)을 형성한다. 전자빔(electron beam) 노광 시스템을 이용한 초미세 패터닝 기술, 다층 레지스트 노광 기술 등을 이용하여 SiO₂층을 형성한다. 그런 다음, 단계 S2에서 레지스트 라인 패턴을 마스크로 하여 기판(10)을 RIE(반응성 이온 에칭)에 의해 이방성 식각 등을 거쳐 돌출부(20)를 형성하기 위한 소정의 오목부(40)를 형성한다. 다음으로, 단계 S3에서는 레지스트 패턴을 제거하고 기판(10)의 전체 표면을 산화시켜 SiO₂ 산화막(30)을 형성한다. 단계 S4 이어서, 산화막 전면에 폴리실리콘층 Poly-Si을 형성한 후, S5단계에서 노멀 마스크링 및 에칭을 통해 게이트 전극(32)을 형성한다. 이는 ECR 에칭 시스템과 중성 라디칼 빔 에칭과 같은 고이방성, 고선택성 에칭 기술을 사용하여 형성된다.

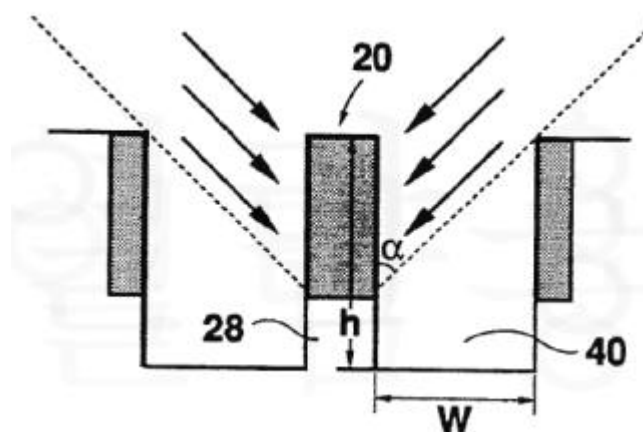
[도 2] 제1 실시예의 반도체 디바이스의 제조 단계를 도시

10: p형 실리콘 기판, 20: 돌출부, 30: 산화막, 32: 게이트 전극



앞서 설명한 것과 같이, 돌출부 표면의 게이트 산화막을 통해 돌출부(20) 및 게이트 전극(32)의 형성이 완료되면, 단계 S6에서 이온 주입에 의해 드레인 영역(22) 및 소스 영역(24)이 형성된다(본 실시예에서는, n+ 영역은 예를 들면 인(P)과 같은 이온의 주입에 의해 형성된다.) 이온 주입은 이온 방사 방향을 경사 방향으로만 제한하는 경사 입사 이온 주입기에 의해 실행된다. 도 3에 도시된 바와 같이, 돌출부(20)의 높이를 h로 가정하여, $\tan\alpha > w/h$ 의 관계가 유지되도록 이온방사각(α)과 오목부(40)의 폭(w)을 결정한다. 따라서, 오목부(40)의 측벽은 마스크 역할을 하고, 돌출부(20)의 기판측에는 이온이 주입되지 않은 p기판과 동일한 조성을 갖는 소자 분리부(28)가 남게 된다.

[도 3] 경사 이온 주입 단계를 도시



20: 돌출부, 28: 소자 분리부, 40: 오목부

이온 주입 단계 이후 가열에 의해 드레인 영역(22)과 소스 영역(24)이 약간 확대되는 열확산 단계가 뒤따른다. 그리고, 이 점 역시 소자분리부(28)의 크기를 결정하는데 고려되어야 한다. 따라서, 돌출부(20) 내의 분리부(28)에 의해 기판과 분리된 MOS 트랜지스터를 형성할 수 있다. MOS 트랜지스터의 실제 동작에는 소스 전극, 드레인 전극, 층간 절연층, 알루미늄(Al) 배선층, 보호층 등은 반도체 디바이스를 작동시키기 위한 일반적인 방법으로 형성된다.

실시예에 따르면, 기판(10)을 그대로 놔두기만 하면 소자분리부(28)가 형성된다.

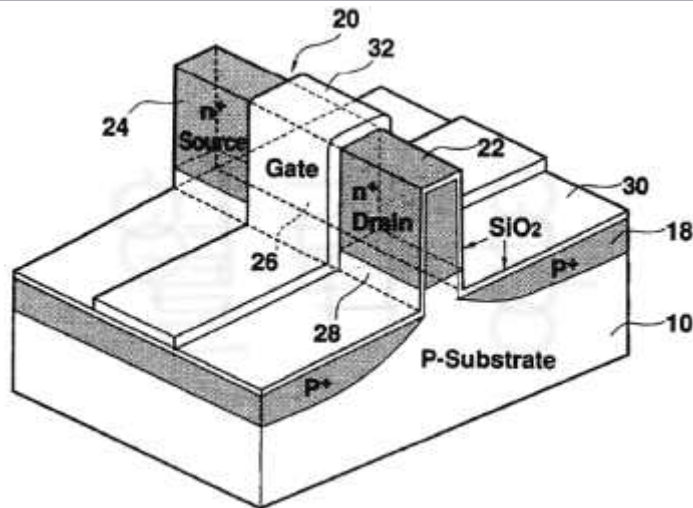
이는 SOI 초박형 트랜지스터와 같이 MOS 트랜지스터와 기판 사이에 소자 분리를 위한 산화막을 형성할 필요가 없어 제조 공정이 단순화된다. 따라서, 돌출부(20)는 부피와 구조가 급격하게 변하는 전계 산화 단계와 같은 가혹한 조건을 갖는 단계가 필요하지 않으므로 우수한 실리콘 단결정으로 이루어질 수 있다. 이는 게이트 산화막과 필드 산화막의 접촉과 같이 큰 응력이 존재하는 부분의 형성을 방지할 수 있다. (중략)

다음으로, 본 발명의 제3 실시예에 따른 반도체 디바이스에 대해 설명한다. 제1 실시예에서, 게이트 전극을 마스크로 하여 경사 이온 주입에 의해 드레인 및 소스 영역을 형성하는 경우, 불순물 원자의 일부가 불순물이 이온 주입되는 돌출부의 측벽에 의해 반사될 수 있다. 이 경우, 반사된 불순물 원자는 돌출부 사이에 존재하는 기판 표면 주위에 이온 주입되어, 하나의 돌출부에 형성된 소자와 인접한 돌출부의 소자 사이의 불완전한 분리를 초래한다. 돌출부 사이에 존재하는 기판 표면에 이온이 주입되기 때문에, 게이트 전극 아래에 기생 MOS 트랜지스터가 생성되며, 표면에 존재하는 경우 양호한 트랜지스터 특성이 제공되지 못한다.

이러한 문제를 해결하기 위해, 본 발명의 제3 실시예에 따른 반도체 디바이스가 제공된다. 도 5는 제3 실시 형태의 반도체 디바이스의 구조를 설명하기 위한 사시도이다. 그림에는 돌출부 중 하나만 표시된다.

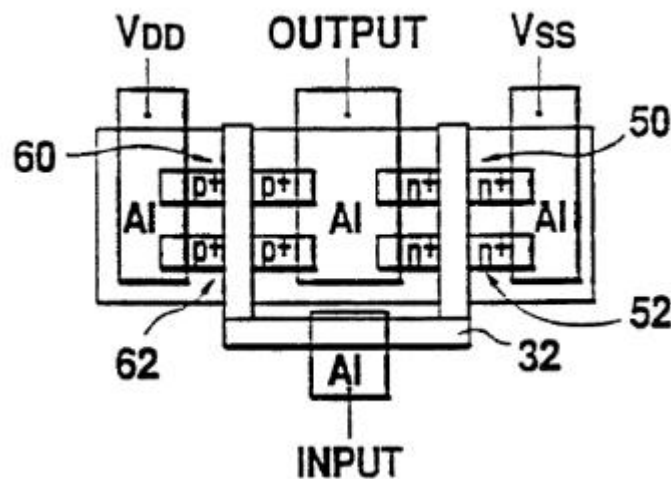
제3 실시예에서는 돌출부(20)와 인접한 돌출부들 사이에 존재하는 기판(10)의 표면 주위에 반대 도전형의 불순물이 주입된 반대 도전형 불순물층(18)이 형성된다. 즉, 드레인 영역(22)과 소스 영역(24)이 n형인 경우, 그 사이에 존재하는 기판(10) 표면 주위에 형성된 반대 도전형 불순물층(18)에 붕소(B)와 같은 p⁺ 형 불순물이 주입된다. 돌출부(20)와 그 인접 돌출부; 드레인 및 소스 영역이 p형인 경우, n⁺ 형 불순물인 인이 불순물층(18)에 주입된다. 이는 실질적으로 인접 소자 간의 완전한 분리를 가능하게 한다. (중략)

[도 5] 본 발명의 제3 실시예에 따른 반도체 디바이스의 구조



도 13a, 13b 및 13c는 본 발명의 반도체 디바이스를 인버터로서 사용하는 예를 도시한다.

[도 13B] 본 발명의 반도체 디바이스를 인버터로서 사용하기 위한 평면도



32: 게이트 전극, 50, 52: 2개의 n형 트랜지스터, 60, 62: 2개의 p형 트랜지스터

이 예시적인 회로는 2개의 n형 트랜지스터(50, 52)와 2개의 p형 트랜지스터(60, 62)를 갖는다. 트랜지스터(50, 60)와 트랜지스터(52, 62)는 공급 전압(VDD)과 접지 사이에 배치된다. 모든 트랜지스터(50, 52, 60, 62)의 게이트에는 V_{in} 이 입력되고, 트랜지스터(50, 60)와 트랜지스터(52, 62)의 접속점에서는 V_{out} 이 출력된다.

따라서, V_{in} 이 하이(high)이면 두 n형 트랜지스터(50 및 52)가 켜져서 V_{out} 이 낮아지게 된다. V_{in} 이 로우(low)이면 두 개의 p형 트랜지스터(60, 62)가 턴온되어 V_{out} 이 하이(high)가 된다. 즉, 도 13A, 13B 및 13C에 도시된 회로는 인버터 역할을 한다. 도 13a, 13b 및 13c의 실시예에서 각각의 돌출부(20)는 하나의 MOS 트랜지스터를 포함한다. (중략)

[특허청구의 범위]

1. 전도성 유형을 갖는 기판 상에 형성된 적어도 하나의 돌출부를 포함하는 반도체 장치를 제조하는 방법으로서 상기 적어도 하나의 돌출부는 채널 영역, 소스 영역 및 드레인 영역을 갖는 적어도 하나의 수직 MOS 트랜지스터를 포함하고,

다음 단계를 포함하는 방법:

- (1) 이방성 에칭에 의해 반도체 기판에 복수의 홈(groove)을 형성하여 길이 방향으로 연장되는 상면을 갖는 적어도 하나의 돌기를 형성하는 단계;
- (2) 적어도 하나의 돌기의 외부 표면에 게이트 절연막을 형성하는 단계;
- (3) 길이 방향에 수직인 적어도 하나의 돌출부의 상부 부분 및 측벽 부분을 전체적으로 가로질러 연장되는 상기 게이트 절연막 상에 게이트 전극을 형성하는 단계; 그리고
- (4) 상기 적어도 하나의 돌출부의 상부에 기판의 도전형과 반대 도전형의 불순물을 도입하여 소스 영역 및 드레인 영역을 형성하는 동시에 하부에는 불순물이 도핑되지 않은 분리 영역을 남겨두며, 적어도 하나의 돌출부의 상부 부분과 기판 사이의 적어도 하나의 돌출부의 부분으로서, 상기 적어도 하나의 돌출부의 상부 부분의 높이는 상기 적어도 하나의 돌출부의 하부 부분의 높이보다 더 큰 단계.

[별지 11]

선행발명 9의 주요 내용 및 도면

【0008】

【발명이 해결하고자 하는 과제】

MOS 트랜지스터의 드라이브 능력은 게이트 길이(L)와 게이트폭(W)에 의해 거의 결정해, 높은 드라이브 능력을 얻기 위해서는 게이트 길이를 작고 게이트폭을 크게 설계하면 좋다. 그러나 게이트 길이를 작게 하기 위해서는 내압 저하의 문제 및 쇼트 채널 효과의 문제가 있고, 게이트폭을 크게 하기 위해서는 LSI의 집적도를 저하시키는 문제가 있다.

【0009】본 발명은 LSI의 집적도를 저하시키지 않고 게이트폭을 크게 하는 수단을 제공하는 것을 목적으로 한다.

【0013】【실시예】

이하, 하나의 실시예에 기초하여 본 발명을 상세하게 설명한다.

【0014】도 1은 본 발명의 하나의 실시예 MOS 트랜지스터의 평면도를 나타내며 도 2는 동 MOS 트랜지스터의 도 1의 A-A'단면의 제조 공정도를 나타내며 도 3은 동 MOS 트랜지스터의 도 1의 B-B'단면의 구조 단면도를 나타낸다.

【0015】도 1에 나타내도록, 본 발명의 하나의 실시예 MOS 트랜지스터는 활성 영역 11의 주위 실리콘 기판 1을 제거하고 상기 영역에 실리콘 산화막에 의한 소자 분리 영역 6이 형성되고 도 2및 3에 나타내도록 활성 영역이 되는 실리콘 기판 1이 볼록형에 노출되어 있고 상기 볼록형 실리콘 기판 1의 상면 및 측면에 게이트 전극부 9 및 소스/드레인 층 10이 형성되어 있다.

【0016】이어서 도 2를 이용하여 본 발명의 하나의 실시예 MOS 트랜지스터 제조 공정을 설명한다.

【0017】우선 P형에 도핑된, 실리콘 기판 1을 열산화하고 막 두께가 약 600Å의 실리콘 산화막 2를 형성하고 이어서 CVD법으로 막 두께가 약 1200Å의 실리콘 질화막 3을 형성한다(도 2(a)).

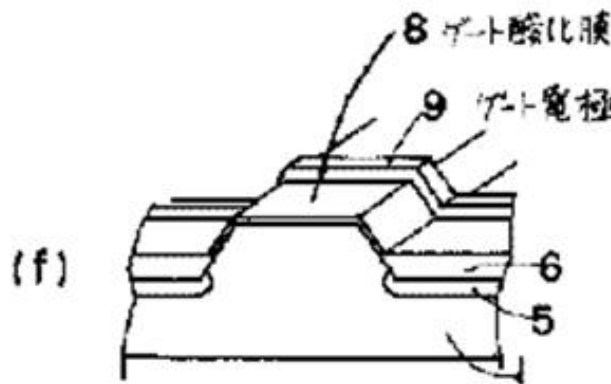
【0018】이어서 전면에 레지스트 4를 도포한 후, 패터닝을 하고, 이방성 식각에 의해 실리콘 질화막 3 및 실리콘 산화막 2를 제거해 실리콘 기판 1을 깊이 약 3000Å식각하고 소자 분리

영역 6이 되는 영역을 개구하고 상기 개구부에서 반전 방지를 위해 P+ 불순물인 붕소 등을 이온 주입해 홈부의 바닥면에 반전 방지층 5를 형성한다(도 2(b)).

【0019】이어서 로코스 산화를 하고, 막 두께가 약 6000Å의 실리콘 산화막 6을 형성해(도 2(c)), 이어서 이방성 식각에 의해 실리콘 질화막 3을 제거한 후, 실리콘 산화막 6을 깊이 약 3000Å 제거하고 활성 영역 11이 되는 실리콘 기판 1을 볼록형에 노출시킨다(도 2(d)).

【0020】이어서 희성 산화막 7을 막 두께 약 300Å형성하고 MOS 트랜지스터의 임계값 전압 제어를 위해 이온 주입을 해(도 2(e)), 그 후, 희성 산화막 7을 제거하고 열산화법에 의해 막 두께가 약 200Å의 게이트 산화막 8을 형성하고 전면에 게이트 전극 재료가 된다. 예를 들면 막 두께가 약 1500Å의 N+형 폴리실리콘막 및 막 두께가 약 2000Å의 텅스텐 실리사이드막을 형성하고 패터닝하고 게이트 전극부 9를 형성한다(도 2(f)).

[도 2f] 본 발명의 MOS 트랜지스터의 제조 공정도



1: 실리콘 기판, 5: 반전 방지층, 8: 게이트 산화막, 9: 게이트 전극

【0021】이어서 게이트 전극부 9를 마스크로서 소스/드레인 층 10이 되는 영역에 N형 불순물로서 비소(As) 등을 주입해(도 2(g)), 어닐링을 하고, 소스/드레인 층 10을 형성해(도 2(h)), MOS 트랜지스터를 완성시킨다.

【0022】본 실시예에 있어서는 활성 영역의 주위에 홈부를 마련했지만, 소스/드레인 방향으로 수직의 방향의 활성 영역 단면이 볼록형으로 되어 있으면 좋고 활성 영역의 주위 모두에 홈부를 마련할 필요는 없다. 또한 본 실시예에 있어서 MOS 트랜지스터에 대해서 설명했지만, 본 발명은 MOS 트랜지스터로 한정되는 것이 아니라 전계 효과 트랜지스터이면 적용 가능하다.

【0023】

【발명의 효과】

이상, 상세하게 설명한 바와 같이 본 발명을 이용해 전계 효과 트랜지스터의 활성 영역을 볼록형으로 함으로써 종래의 2차원적 구조의 전계 효과 트랜지스터와 비교해서 같은 2차원적 스페이스에 있어서 보다 큰 게이트폭을 얻을 수 있으며, 특히 미세한 전계 효과 트랜지스터의 단위장 근처 드라이브 능력을 큰폭으로 향상시킬 수 있다.

【0024】또한 미세한 게이트폭의 경우에 발생하는, 임계값 전압의 증대(협채널 효과)를 현저하게 억제할 수 있다.

[별지 12]

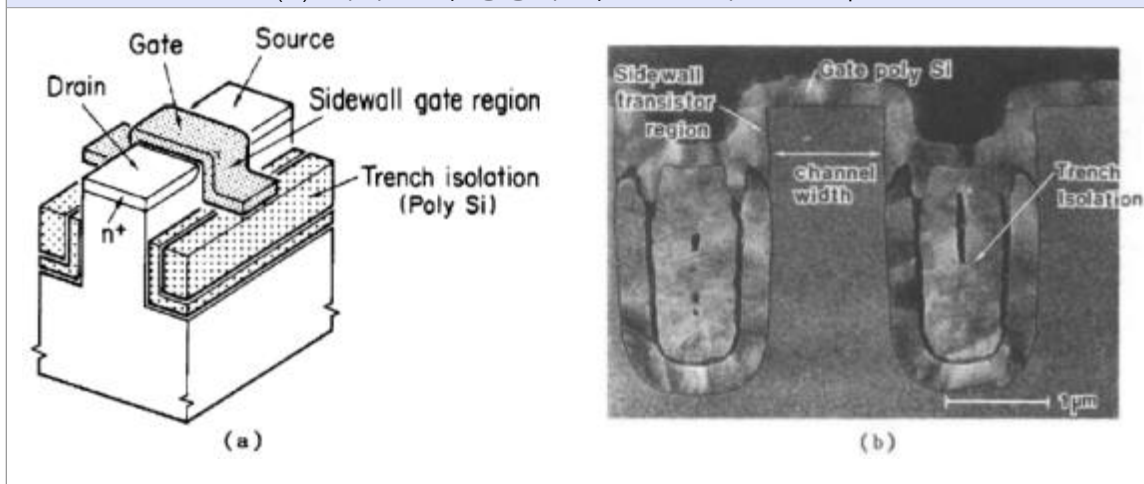
선행발명 10의 주요 내용 및 도면

TIS 개념

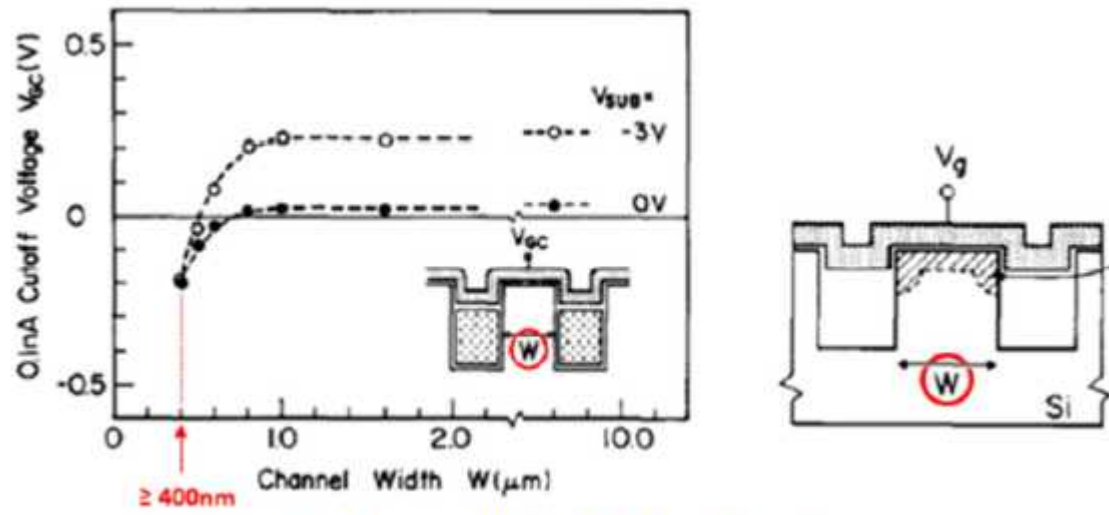
[제1-5행]

TIS(Trench Isolated Transistor)의 기본 구조가 도 1(a)에서 설명된다. TIS는 블록 모서리를 포함하는 두 개의 측벽 게이트 영역과 하나의 평면형 게이트의 삼중-게이트 구조를 갖는다. 트렌치는 열 응력을 줄이기 위해 폴리 실리콘으로 채워진다. 채널 폭 방향에 따른 트랜지스터의 단면도가 도 1(b)에서 SEM 사진에 의하여 도시된다.

도 1. (a) 측벽 게이트를 사용하는 트렌치 격리 트랜지스터(TIS)의 단면 개략도.
(b) 게이트 폭 방향에 따른 단면의 SEM 사진



선행발명 10(갑 제16호증) 도면 4(a), 1(b)



[도4 (a), (b), 발체, 빨간색 표시 추가]

끝.